

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2001-249650

(43)Date of publication of application : 14.09.2001

(51)Int.Cl. G09G 3/36
G02F 1/133
G09G 3/20
G09G 3/30

(21)Application number : 2000-394512 (71)Applicant : SEMICONDUCTOR ENERGY LAB
CO LTD

(22)Date of filing : 26.12.2000 (72)Inventor : ASAMI MUNEHIRO

(30)Priority

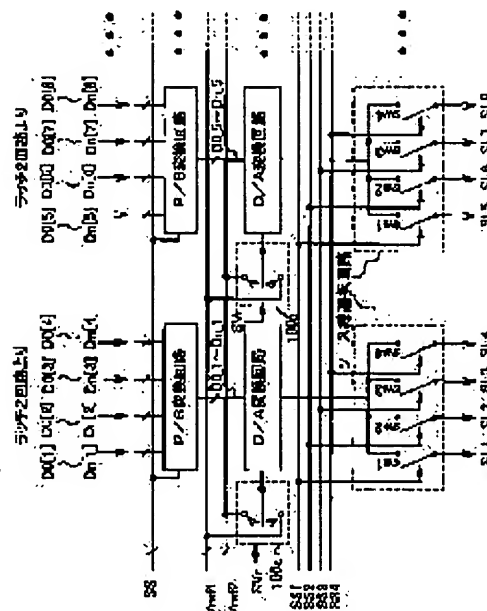
Priority number : 11371126 Priority date : 27.12.1999 Priority country : JP

(54) PICTURE DISPLAY DEVICE AND ITS DRIVING METHOD

(57)Abstract:

PROBLEM TO BE SOLVED: To provide a new driving method performing a source line inversion driving method and a dot inversion driving method when plural source lines are driven with a D/A converting circuit in the source signal line driving circuit of an active matrix type picture display device coping with a digital video signal input.

SOLUTION: In a first driving method, two systems of gradient power source lines are supplied to a source signal line driving circuit in order to obtain outputs whose polarities are different from D/A converting circuits and respective D/A converting circuits are provided with switches switching connection with the two systems of gradient power source lines and the source line inversion drive and the dot inversion drive are performed by switching the gradient power source line which is to be connected to the respective D/A converting circuits by a control signal to be inputted to the switches.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

* NOTICES *

JPO and INPIT are not responsible for any damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.
2. **** shows the word which can not be translated.
3. In the drawings, any words are not translated.

CLAIMS

[Claim(s)]

[Claim 1] In the image display device which has a source signal-line drive circuit, a gate signal line drive circuit, and a switching element for driving a pixel electrode and said pixel electrode to each field to which two or more source signal lines and two or more gate signal lines cross The D/A conversion circuit which changes a digital video signal into an analog video signal in said source signal-line drive circuit, Have a source line selection circuitry and it synchronizes with the timing which said digital video signal inputs into said each D/A conversion circuit. The image display device characterized by writing in said analog video signal with which said each source line selection circuitry chooses the source signal line corresponding to said digital video signal among said two or more source signal lines, and is outputted to said selected source signal line from said each D/A conversion circuit.

[Claim 2] In claim 1, the gradation power-source line by which one line consists of two or more Two lines, With the control signal which has the connection changeover switch which connects any one line and said each D/A conversion circuit of said two gradation power-source lines, and is inputted into said connection changeover switch The period when said each source line selection circuitry chooses the odd-numbered source signal line during a 1 level write-in period The period when the gradation power-source line of the 1st network is connected to said each D/A conversion circuit between said two gradation power-source lines at, and said each source line selection circuitry chooses the even-numbered source signal line is an image display device characterized by connecting the gradation power-source line of another network to said each D/A conversion circuit in said 1st [the].

[Claim 3] In claim 1, one gradation power-source line which consists of two or more is connected to said each D/A conversion circuit. The supply voltage of each of said gradation power-source line is with the period when polarity reversals are performed at, respectively and said each source line selection circuitry chooses said odd-numbered source signal line during a 1 level write-in period, and the period which chooses said even-numbered source signal line. The image display device characterized by giving a polar electrical potential difference which is different on said each gradation power-source line.

[Claim 4] In claim 1, the gradation power-source line by which one line consists of two or more Two lines, Said D/A conversion circuit which drives only said odd-numbered source signal line via said each source line selection circuitry, It has said D/A conversion circuit which drives only said even-numbered source signal line. The gradation power-source line of the 1st network between said two gradation power-source lines It is the image display device which is connected to each D/A conversion circuit which drives only said odd-numbered source signal line, and is characterized by connecting the gradation power-source line of another network to the D/each A conversion circuit which drives only said even-numbered source signal line in said 1st [the].

[Claim 5] The image display device characterized by said each source line selection circuitry choosing continuously said source signal line of either the oddth or even-numbered one within a fixed period with a 1 level write-in period in claim 2.

[Claim 6] The image display device characterized by said each source line selection circuitry choosing continuously said source signal line of either the oddth or even-numbered one within a fixed period with

a 1 level write-in period in claim 3.

[Claim 7] The image display device characterized by performing periodically the polarity reversals of the electrical potential difference impressed to the oddth and even-numbered source signal line in any 1 term of claim 2 thru/or claim 6.

[Claim 8] It is the image display device characterized by said control signal having a reversal relation, respectively in the frame period which repeats the input of 1 gate signal line selection period within an one-frame period, and continues in claim 2 or claim 5.

[Claim 9] Said control signal is an image display device characterized by having a reversal relation also in the frame period which has a reversal relation and continues, respectively, respectively at the gate signal line selection period when it continues within an one-frame period in claim 2 or claim 5.

[Claim 10] It is the image display device characterized by having a reversal relation, respectively in the frame period which the input of the supply voltage of each of said gradation power-source line repeats the input of 1 gate signal line selection period within an one-frame period in claim 3 or claim 6, and continues.

[Claim 11] The input of the supply voltage of each of said gradation power-source line is an image display device characterized by having a reversal relation also in the frame period which has a reversal relation and continues, respectively, respectively at the gate signal line selection period when it continues within an one-frame period in claim 3 or claim 6.

[Claim 12] It is the image display device characterized by inverting the supply voltage of each of said gradation power-source line for every one-frame period in claim 4.

[Claim 13] It is the image display device which inverts the supply voltage of each of said gradation power-source line for every 1 gate signal line selection period within an one-frame period in claim 4, and is characterized by inverting even if it compares each 1st gate signal line selection period of a continuous frame period.

[Claim 14] any 1 ***** of claim 1 thru/or claim 13 -- the image display device characterized by using a liquid crystal ingredient for a display device.

[Claim 15] any 1 ***** of claim 1 thru/or claim 13 -- the image display device characterized by using luminescent material for a display device.

[Claim 16] The cellular phone characterized by using said image display device of a publication for any 1 term of claim 1 thru/or claim 15.

[Claim 17] The video camera characterized by using said image display device of a publication for any 1 term of claim 1 thru/or claim 15.

[Claim 18] The personal computer characterized by using said image display device of a publication for any 1 term of claim 1 thru/or claim 15.

[Claim 19] The head mount display characterized by using said image display device of a publication for any 1 term of claim 1 thru/or claim 15.

[Claim 20] Television characterized by using said image display device of a publication for any 1 term of claim 1 thru/or claim 15.

[Claim 21] Pocket books characterized by using said image display device of a publication for any 1 term of claim 1 thru/or claim 15.

[Claim 22] The DVD player characterized by using said image display device of a publication for any 1 term of claim 1 thru/or claim 15.

[Claim 23] The digital camera characterized by using said image display device of a publication for any 1 term of claim 1 thru/or claim 15.

[Claim 24] The projector characterized by using said image display device of a publication for any 1 term of claim 1 thru/or claim 15.

[Claim 25] In the image display device which has a source signal-line drive circuit, a gate signal line drive circuit, and a switching element for driving a pixel electrode and said pixel electrode to each field to which two or more source signal lines and two or more gate signal lines cross The D/A conversion circuit which changes a digital video signal into an analog video signal in said source signal-line drive circuit, Have a source line selection circuitry and it synchronizes with the timing which said digital

video signal inputs into said each D/A conversion circuit. The drive approach of the image display device characterized by writing in said analog video signal with which said each source line selection circuitry chooses the source signal line corresponding to said digital video signal among said two or more source signal lines, and is outputted to said selected source signal line from said D/each A conversion circuit.

[Claim 26] In claim 25, the gradation power-source line by which one line consists of two or more lines, With the control signal which has the connection changeover switch which connects any one line and said each D/A conversion circuit of said two gradation power-source lines, and is inputted into said connection changeover switch The period when said each source line selection circuitry chooses the odd-numbered source signal line during a 1 level write-in period The period when the gradation power-source line of the 1st network is connected to said each D/A conversion circuit between said two gradation power-source lines at, and said each source line selection circuitry chooses the even-numbered source signal line The drive approach of the image display device characterized by connecting the gradation power-source line of another network to said each D/A conversion circuit in said 1st [the].

[Claim 27] In claim 25, one gradation power-source line which consists of two or more is connected to said each D/A conversion circuit. The supply voltage of each of said gradation power-source line is with the period when polarity reversals are performed at, respectively and said each source line selection circuitry chooses said odd-numbered source signal line during a 1 level write-in period, and the period which chooses said even-numbered source signal line. The drive approach of the image display device characterized by giving a polar electrical potential difference which is different on said each gradation power-source line.

[Claim 28] In claim 25, the gradation power-source line by which one line consists of two or more Two lines, Said D/A conversion circuit which drives only said odd-numbered source signal line via said each source line selection circuitry,

*** NOTICES ***

JPO and INPIT are not responsible for any damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.
2. **** shows the word which can not be translated.
3. In the drawings, any words are not translated.

DETAILED DESCRIPTION

[Detailed Description of the Invention]

[0001]

[Field of the Invention]

[0002] the image display device (active-matrix mold image display device) which displays information, such as an image, by the switching element by which this invention has been arranged in the shape of a matrix, and the pixel -- it is especially related with the drive approach and image display device of a digital method.

[0003]

[Description of the Prior Art] The semiconductor device, for example, the technique which produces a thin film transistor (TFT), in which the semi-conductor thin film was formed on the glass substrate cheap recently is progressing quickly. The reason is because the need of the active matrix liquid crystal display which is a kind of a active-matrix mold image display device has increased.

[0004] Furthermore, the active-matrix mold luminescence equipment (it is henceforth described as luminescence equipment) which is a kind of the active-matrix mold image display device using a spontaneous light type light emitting device is also studied actively. This specification shows an EL element etc. as a light emitting device. A light emitting device has the layer (it is hereafter described as an organic compound layer) containing the organic compound with which the luminescence (Electro Luminescence) generated by adding electric field is obtained, an anode plate layer, and catholyte. Which luminescence may be used although the luminescence in an organic compound has luminescence (phosphorescence) at the time of returning from luminescence at the time of returning from a singlet excitation state to a ground state (fluorescence), and a triplet excitation state to a ground state.

[0005] Below, taking the case of an active matrix liquid crystal display, it explains as a typical example of a active-matrix mold image display device.

[0006] The active matrix liquid crystal display has the source signal-line drive circuit 101, the gate signal line drive circuit 102, and the pixel array section 103 arranged in the shape of a matrix, as shown in drawing 40 . The source signal-line drive circuit 101 samples the inputted video signal synchronizing with timing signals, such as a clock signal, and writes data in each source signal line 104. Synchronizing with timing, such as a clock signal, the gate signal line drive circuit 102 makes sequential selection of the gate signal line 105, and controls turning on and off of TFT106 which is a switching element in each pixel of the pixel array section 103. By this, the data written in each source signal line 104 will be written in each pixel one by one.

[0007] As a drive method of a source signal-line drive circuit, although there are an analog form and a digital method, the active matrix liquid crystal display of the digital method in which a high definition and a high-speed drive are possible has attracted attention.

[0008] The source signal-line drive circuit of the conventional digital method is shown in drawing 41 . In drawing 41 , 201 shows the shift register section and consists of shift register basic circuits 202 including a flip-flop circuit etc. If a start pulse SP is inputted into the shift register section 201, synchronizing with a clock signal CLK, a sampling pulse will be sent out in sequential latch 1 circuit

203 (Local Area Transport1).

[0009] In latch 1 circuit 203 (Local Area Transport1), the sequential storage of the n bits (n is the natural number) digital video signal supplied from the data bus line DATA is carried out synchronizing with the sampling pulse from the shift register section.

[0010] After the signal for a 1 level pixel is written in Local Area Transport1 group, synchronizing with the latch pulse transmitted from the latch signal bus line LP, the signals currently held in each latch 1 circuit 203 (Local Area Transport1) are sent out to latch 2 circuit 204 (Local Area Transport2) all at once, and are written in it.

[0011] If a digital video signal is held in latch 2 circuit 204 (Local Area Transport2), a start pulse SP will be inputted again and the digital video signal for a pixel of the next line will newly be written in Local Area Transport1 group. At this time, the digital video signal for a pixel of the previous line is memorized, and the analog video signal corresponding to a digital video signal is written in each source signal line by the D/A conversion circuit 205 (digital ones / analog signal conversion circuit) to Local Area Transport2 group.

[0012] In order to drive a liquid crystal display, the so-called alternating current drive approach of giving the electrical potential difference which the polarity reversed for every frame for the improvement in dependability to liquid crystal is taken. This alternating current drive approach has the gate line reversal drive which performs the polarity reversals of the electrical potential difference written in a source signal line for every 1 gate signal line, the source line reversal drive which writes in the electrical potential difference inverted for every 1 source signal line, and the dot reversal drive which writes the electrical potential difference which the polarity reversed per 1 pixel in level and a perpendicular direction, in order to prevent generating of a flicker.

[0013] Two or more gradation power-source lines supplied to the D/A conversion circuit 205 are shown two lines by drawing 41. It is a gradation power-source line for Vref (+) to output a forward polarity and for Vref (-) output a negative polarity from a D/A conversion circuit, respectively. If it is connection as shown in drawing 41, the electrical potential difference to which an electrical potential difference with a polarity forward to the 3rd source signal line SL 3 in an electrical potential difference with a polarity negative to the 2nd source signal line SL 2 in the electrical potential difference which has a forward polarity in the 1st source signal line SL 1 has a negative polarity in the 4th source signal line SL 4 will be impressed, respectively. In addition, if the polarity reversals of the supply voltage of a gradation power-source line are carried out for every frame in this condition, the source signal-line drive circuit shown in drawing 41 will perform a source line reversal drive. Moreover, if the polarity reversals of the supply voltage of a gradation power-source line are carried out for every 1 gate signal line, the source signal-line drive circuit shown in drawing 41 will perform a dot reversal drive.

[0014] Moreover, unlike drawing 41, it is only the input of one gradation power-source line, and if the polarity reversals of the supply voltage of a gradation power-source line are carried out for every 1 gate signal line, it will become a gate line reversal drive (not shown).

[0015]

[Problem(s) to be Solved by the Invention] The D/A conversion circuit of drawing 41 drives one source signal line, respectively. however, the D/A conversion circuit which occupies a big area when creating high resolution and a high definition liquid crystal display -- the number of a source signal line, and same number **** -- things serve as hindrance of a miniaturization of the liquid crystal display desired in recent years, and the method of driving two or more source signal lines by one D/A conversion circuit is proposed by JP,11-167373,A.

[0016] The example of a configuration of the source signal-line drive circuit which drives four source signal lines by one D/A conversion circuit is shown in drawing 42. The selection signal (SS) inputted into the parallel/serial-conversion circuit 301 (P/S conversion circuit), the source line selection circuitry 302, and them is newly added to drawing 42 so that it may understand as compared with drawing 41. If four source signal lines can be driven by one D/A conversion circuit in spite of adding such a circuit, it will become the effectiveness that the required number of D/A conversion circuits can be managed with one fourth is large, and possible to make small occupancy area of a source signal-line drive circuit.

[0017] Now, even if it is the approach of driving two or more source signal lines by such one D/A conversion circuit, it is necessary to perform the alternating current drive of liquid crystal as mentioned above. Considering the conventional view, each D / ** conversion circuit were those to which a 1 level write-in period always outputs like-pole nature at least. So, by the approach of driving two or more source signal lines by one D/A conversion circuit, the gate line reversal drive and the frame reversal drive were adopted as an alternating current drive of liquid crystal.

[0018] Here, a trouble when performing a source line reversal drive and a dot reversal drive based on the conventional view by the approach of driving two or more source signal lines by one D/A conversion circuit is explained using drawing 43 . The example in the case of driving four source signal lines by one D/A conversion circuit was shown in drawing 43 . Here, if a gradation power-source line is connected to the D/A conversion circuit which adjoins each other like drawing 41 so that the polarity of the output from those D/A conversion circuits may be reversed, a source signal line will invert to it every four, and a perfect source line reversal drive will not become it. Similarly it does not become a perfect dot reversal drive. If it asks for high definition, it cannot be said that this is enough. Thus, when driving two or more source signal lines by one D/A conversion circuit, in order to perform the source line reversal drive approach and the dot reversal drive approach, it is necessary to build the new drive approach.

[0019] Then, this invention offers the drive approach.

[0020]

[Means for Solving the Problem] In order that the 1st drive approach of this invention may obtain the output from which a polarity differs from a D/A conversion circuit, two gradation power-source lines are supplied to a source signal-line drive circuit. The switch which changes connection with said two gradation power-source lines to each D/A conversion circuit (henceforth) a connection changeover switch -- describing -- the control signal which has and is inputted into the connection changeover switch -- every -- the gradation power-source line connected to a D/A conversion circuit is changed, and it is characterized by performing a source line reversal drive and a dot reversal drive.

[0021] Henceforth, on these specifications, the thing of the gradation power-source line by which "the gradation power-source line for a plus polarity output" and the output of a minus polarity conversely are obtained in the thing of the gradation power-source line by which the output of the plus polarity in the thing linked to a D/A conversion circuit of explanation is obtained for convenience is expressed as "the gradation power-source line for a minus polarity output." Moreover, it expresses giving an electrical potential difference to each gradation power-source line connected to said D/A conversion circuit, saying "The electrical potential difference for a plus polarity output is supplied to a gradation power-source line" so that the output of a plus polarity may be obtained from a D/A conversion circuit. Similarly, it expresses giving an electrical potential difference to each gradation power-source line connected to said D/A conversion circuit, saying "The electrical potential difference for a minus polarity output is supplied to a gradation power-source line" so that the output of a minus polarity may be obtained from a D/A conversion circuit.

[0022] In addition, as for each gradation power-source line for a plus polarity output, and each gradation power-source line for a minus polarity output, the supply voltage of a corresponding gradation power-source line has the relation which the polarity reversed, respectively. Therefore, if the polarity of the supply voltage of one gradation power-source lines of all is reversed, the completely same role as another gradation power-source line will be borne.

[0023] It is made to be the following for performing a source line reversal drive with the configuration of the drive approach of the above 1st. During each gate signal line selection period of a certain frame period, the period which chooses the odd-numbered source signal line connects the gradation power-source line for a plus polarity output with a D/A conversion circuit, and the period which chooses the even-numbered source signal line connects the gradation power-source line for a minus polarity output with a D/A conversion circuit. During each gate signal line selection period of a frame [degree] period, the period which chooses the odd-numbered source signal line connects the gradation power-source line for a minus polarity output with a D/A conversion circuit, and the period which chooses the even-numbered source signal line connects the gradation power-source line for a plus polarity output with a

D/A conversion circuit. A source line reversal drive is attained by controlling the control signal of said connection changeover switch as mentioned above.

[0024] Especially, by summarizing the period which chooses the period or the even-numbered source signal line which chooses the odd-numbered source signal line in the above-mentioned drive approach at a fixed period with each gate signal line selection period, the period of the control signal of said connection changeover switch can be lengthened, and reduction of a circuit actuation burden can be aimed at to coincidence.

[0025] Moreover, it is made to be the following in order to perform a dot reversal drive with the configuration of the drive approach of the above 1st. During the odd-numbered [of a certain frame period] gate signal line selection period, the period which chooses the odd-numbered source signal line connects the gradation power-source line for a plus polarity output with a D/A conversion circuit, and the period which chooses the even-numbered source signal line connects the gradation power-source line for a minus polarity output with a D/A conversion circuit. During the even-numbered [of this frame period] gate signal line selection period, the period which chooses the odd-numbered source signal line connects the gradation power-source line for a minus polarity output with a D/A conversion circuit, and the period which chooses the even-numbered source signal line connects the gradation power-source line for a plus polarity output with a D/A conversion circuit. Furthermore, during the odd-numbered [of a frame / degree / period] gate signal line selection period, the period which chooses the odd-numbered source signal line connects the gradation power-source line for a minus polarity output with a D/A conversion circuit, and the period which chooses the even-numbered source signal line connects the gradation power-source line for a plus polarity output with a D/A conversion circuit. During the even-numbered [of this frame period] gate signal line selection period, the period which chooses the odd-numbered source signal line connects the gradation power-source line for a plus polarity output with a D/A conversion circuit, and the period which chooses the even-numbered source signal line connects the gradation power-source line for a minus polarity output with a D/A conversion circuit. If the control signal of said connection changeover switch is controlled as mentioned above, a dot reversal drive will be attained.

[0026] Especially, by separating the period which chooses the odd-numbered source signal line in the above-mentioned drive approach, and the period which chooses the even-numbered source signal line in the first half and the second half of each gate signal line selection period, the period of the control signal of said connection changeover switch can be lengthened, and reduction of a circuit actuation burden can be aimed at to coincidence.

[0027] Unlike the 1st approach, one gradation power-source line is supplied to a source signal-line drive circuit, and direct continuation of the 2nd drive approach of this invention is carried out to each D/A conversion circuit, and it is characterized by performing a source line reversal drive and a dot reversal drive by reversing the polarity of the supply voltage of this gradation power-source line.

[0028] It is made to be the following in order to perform a source line reversal drive with the configuration of the drive approach of the above 2nd. The period which chooses the odd-numbered source signal line supplies the electrical potential difference for a plus polarity output to a gradation power-source line during each gate signal line selection period of a certain frame period, and the period which chooses the even-numbered source signal line supplies the electrical potential difference for a minus polarity output to a gradation power-source line. The period which chooses the odd-numbered source signal line supplies the electrical potential difference for a minus polarity output to a gradation power-source line during each gate signal line selection period of a frame [degree] period, and the period which chooses the even-numbered source signal line supplies the electrical potential difference for a plus polarity output to a gradation power-source line. A source line reversal drive is attained by reversing the polarity of the supply voltage of a gradation power-source line as mentioned above.

[0029] Especially, by summarizing the period which chooses the period or the even-numbered source signal line which chooses the odd-numbered source signal line also in the above-mentioned drive approach at a fixed period with each gate signal line selection period, the period which the polarity of the supply voltage of a gradation power-source line reverses can be lengthened, and reduction of a

circuit actuation burden can be aimed at to coincidence.

[0030] Moreover, it is made to be the following in order to perform a dot reversal drive with the configuration of the drive approach of the above 2nd. The period which chooses the odd-numbered source signal line supplies the electrical potential difference for a plus polarity output to a gradation power-source line during the odd-numbered [of a certain frame period] gate signal line selection period, and the period which chooses the even-numbered source signal line supplies the electrical potential difference for a minus polarity output to a gradation power-source line. The period which chooses the odd-numbered source signal line supplies the electrical potential difference for a minus polarity output to a gradation power-source line during the even-numbered [of this frame period] gate signal line selection period, and the period which chooses the even-numbered source signal line supplies the electrical potential difference for a plus polarity output to a gradation power-source line.

Furthermore, during the odd-numbered [of a frame / degree / period] gate signal line selection period, the period which chooses the odd-numbered source signal line supplies the electrical potential difference for a minus polarity output to a gradation power-source line, and the period which chooses the even-numbered source signal line supplies the electrical potential difference for a plus polarity output to a gradation power-source line. The period which chooses the odd-numbered source signal line supplies the electrical potential difference for a plus polarity output to a gradation power-source line during the even-numbered [of this frame period] gate signal line selection period, and the period which chooses the even-numbered source signal line supplies the electrical potential difference for a minus polarity output to a gradation power-source line. A dot reversal drive is attained by reversing the polarity of the supply voltage of a gradation power-source line as mentioned above.

[0031] Especially, by separating the period which chooses the odd-numbered source signal line also in the aforementioned drive approach, and the period which chooses the even-numbered source signal line in the first half and the second half of each gate signal line selection period, the period which the polarity of the supply voltage of a gradation power-source line reverses can be lengthened, and reduction of a circuit actuation burden can be aimed at to coincidence.

[0032] In order that the 3rd drive approach of this invention may obtain the output from which a polarity differs like the 1st approach from a D/A conversion circuit, two gradation power-source lines are supplied to a source signal-line drive circuit. However, two or more source signal lines connected to each D/A conversion circuit are packed by even Either the oddth or-numbered. and every connected to the odd-numbered source signal line -- every which connects the gradation power-source line of the 1st line to a D/A conversion circuit, and is connected to the even-numbered source signal line -- it is characterized by performing a source line reversal drive and a dot reversal drive by connecting the gradation power-source line of the 2nd line to a D/A conversion circuit, and performing periodically the polarity reversals of the supply voltage of all gradation power-source lines further.

[0033] It is made to be the following in order to perform a source line reversal drive with the configuration of the drive approach of the above 3rd. The electrical potential difference for a plus polarity output is supplied to the gradation power-source line of the 1st line during a certain frame period, and the electrical potential difference for a minus polarity output is supplied to the gradation power-source line of the 2nd line. The electrical potential difference for a minus polarity output is supplied to the gradation power-source line of the 1st line during a frame [degree] period, and the electrical potential difference for a plus polarity output is supplied to the gradation power-source line of the 2nd line. A source line reversal drive is attained by making supply voltage give a gradation power-source line as mentioned above.

[0034] Moreover, it is made to be the following in order to perform a dot reversal drive with the configuration of the drive approach of the above 3rd. The electrical potential difference for a plus polarity output is supplied to the gradation power-source line of the 1st line during the odd-numbered [of a certain frame period] gate signal line selection period, and the electrical potential difference for a minus polarity output is supplied to the gradation power-source line of the 2nd line. The electrical potential difference for a minus polarity output is supplied to the gradation power-source line of the 1st line during the even-numbered [of this frame period] gate signal line selection period, and the electrical

potential difference for a plus polarity output is supplied to the gradation power-source line of the 2nd line. Furthermore, the electrical potential difference for a minus polarity output is supplied to the gradation power-source line of the 1st line during the odd-numbered [of a frame / degree / period] gate signal line selection period, and the electrical potential difference for a plus polarity output is supplied to the gradation power-source line of the 2nd line. The electrical potential difference for a plus polarity output is supplied to the gradation power-source line of the 1st line during the even-numbered [of this frame period] gate signal line selection period, and the electrical potential difference for a minus polarity output is supplied to the gradation power-source line of the 2nd line. A dot reversal drive is attained by making supply voltage give a gradation power-source line as mentioned above.

[0035]

[Embodiment of the Invention] Hereafter, the gestalt of operation of this invention is explained, referring to a drawing.

[0036] With the [operation gestalt 1] book operation gestalt, in order to obtain the output from which a polarity differs from a D/A conversion circuit, two independent gradation power-source lines are supplied to a source signal-line drive circuit, and one certain approach of enabling source line reversal and a dot reversal drive is explained by changing connection between each D/A conversion circuit and two gradation power-source lines with a connection changeover switch.

[0037] This operation gestalt explains taking the case of the case where drive four source signal lines and it corresponds to the digital video-signal input of a bit (n+1) (n is zero or more integers) as a gestalt which drives even source signal lines by one D/A conversion circuit.

[0038] The outline circuit diagram of this operation gestalt is shown in drawing 1 . In drawing 1 , the shift register section which generates the sampling pulse for carrying out the sequential sampling of the digital video signal, the latch 1 circuit section which latches a digital video signal by said sampling pulse, and the latch 2 circuit section which latch the digital video signal memorized by said latch 1 circuit section by the input of a latch pulse all at once omitted. A parallel/serial-conversion circuit (P/S conversion circuit) the parallel output data (D0[4k+1] - Dn [4k+1] --) of latch 2 circuit D -- zero -- [-- four -- k -- + -- two --] - Dn -- [-- four -- k -- + -- two --] -- D -- zero -- [-- four -- k -- + -- three --] - Dn - [- four -- k -- + -- three --] -- D -- zero -- [-- four -- k -- + -- four --] - Dn -- [-- four -- k -- + -- four --] (k is zero or more integers) -- each bit -- collecting -- serial data -- changing . Here, D0 [4k+1] shows the digital video signal of the lowest (the 1st) bit (LSB) to a ** (4k+1) source signal line, and, similarly Dn [4k+1] shows the digital video signal of the top (** (n+1)) bit (MSB) to a ** (4k+1) source signal line. Henceforth, Notation Di [s] shall show the digital video signal of the ** (i+1) bit to the s-th source signal line.

[0039] 100a is the connection changeover switch which performs the connection change to two gradation power-source lines Vref1 and Vref2 and a D/A conversion circuit, and is connected to either by the change control signal SVr. Here, the D/A conversion circuit to which, as for the D/A conversion circuit to which Vref1 was connected between two gradation power-source lines, Vref2 was connected for the plus polarity shall output a minus polarity. Moreover, for convenience, in this specification, when SVr is Hi, it shall connect with a downward terminal, and the connection changeover switches 100a and 100b (shown in drawing 3) shall be connected to an upper terminal at the time of Lo. In addition, this invention is not limited to the circuitry of this connection changeover switch, and may be applied to any circuits which perform same actuation.

[0040] A source line selection circuitry consists of four switches sw1, sw2, sw3, and sw4. If sw1 turns on, the source signal line of eye ** (4k+1) watch will be connected with the output of each D/A conversion circuit. If sw2 turns on, the source signal line of eye ** (4k+2) watch will be connected with the output of each D/A conversion circuit. if sw3 turns on -- the source signal line of eye ** (4k+3) watch -- every -- if it connects with the output of D / A conversion circuit and sw4 turns on -- the source signal line of eye ** (4k+4) watch -- every -- it connects with the output of a D/A conversion circuit. SS1-SS4 are selection signals which control turning on and off of sw1-sw4, respectively.

[0041] The signal actuation timing of drawing 1 is shown in drawing 2 . The actuation which turns on sw2, makes SS3 Hi level at the 3rd period, turns on sw3, makes [1 gate signal line selection period is

divided into four and SS1 is made into Hi level at the 1st period, / sw1 is turned on and SS2 is made into Hi level at the 2nd period, and] SS4 Hi level at the 4th period, and turns on sw4 is shown. In addition, the output of each bit data of each P/S conversion circuit Make it synchronize with the above-mentioned selection signal (SS1-SS4), and a gate signal line selection period is quadrisected. The data of a ** (4k+1) source signal line are outputted to the 1st period. The data of a ** (4k+2) source signal line are outputted to the 2nd period. The data of a ** (4k+3) source signal line are outputted to the 3rd period, and it controls by the selection signal SS inputted into a P/S conversion circuit so that the data of a ** (4k+4) source signal line may be outputted at the 4th period. By carrying out like this, the digital video signal corresponding to each source signal line is reflected in the writing of a suitable source signal line. This situation was shown in D0_1-Dn_1 of drawing 2 , and D0_5-Dn_5. Here, Di_1 is the output data of the ** (i+1) bit eye of a left P/S conversion circuit in drawing 1 , and Di_5 are the output data of the ** (i+1) bit eye of a right P/S conversion circuit in drawing 1 . Moreover, in drawing 2 , Di [s, g] shows the bit data of eye ** (i+1) watch to the pixel of the s-th **** of g lines, and adds the information on a gate signal line to the above-mentioned notation Di [s] openly. (Notation Di [s, g] is henceforth taken as the same semantics)

[0042] Below, it is shown by the input approach of the change control signal SVr of the gradation power-source line to a D/A conversion circuit that source line reversal and a dot reversal drive are possible.

[0043] The input signal of a control signal SVr in the case of performing a source line reversal drive is shown in SVr of drawing 2 , and SVr (sb) (s). Here, SVr (sb) shows the control signal SVr in the frame [degree] period at the time of a SVr(s) input, and is the reversal signal of SVr (s). Consequently, the polarity written in each pixel becomes like drawing 12 a.

[0044] Moreover, the input approach of the control signal SVr in the case of performing a dot reversal drive is shown in SVr (d) of drawing 2 , and SVr (db). Here, SVr (db) shows the control signal SVr in the frame [degree] period at the time of a SVr(d) input, and is the reversal signal of SVr (d).

Consequently, the polarity written in each pixel becomes like drawing 12 b.

[0045] As mentioned above, this operation gestalt enables it to perform the source line reversal drive approach and the dot reversal drive approach, even if it is the case where four source signal lines are driven by one D/A conversion circuit. In addition, although the case where four source signal lines are driven by one D/A conversion circuit is mentioned as the example with this operation gestalt, this invention is not limited to this, and also when driving even source signal lines, such as 2, 4, and ..., by one D/A conversion circuit, it may be applied.

[0046] With the [operation gestalt 2] book operation gestalt, in order to obtain the output from which a polarity differs as well as the operation gestalt 1 from a D/A conversion circuit, two gradation power-source lines are supplied to a source signal-line drive circuit, and the one another approach of enabling source line reversal and a dot reversal drive by the approach of changing connection between each D/A conversion circuit and two gradation power-source lines with a connection changeover switch is explained.

[0047] This operation gestalt explains taking the case of the case where drive three source signal lines and it corresponds to the digital video-signal input of a bit (n+1) (n is zero or more integers) as a gestalt which drives odd source signal lines by one D/A conversion circuit.

[0048] The outline circuit diagram of this operation gestalt is shown in drawing 3 . In drawing 3 , the shift register section, the latch 1 circuit section, and the latch 2 circuit section omitted like drawing 1 . a parallel/serial-conversion circuit (P/S conversion circuit) gathers the parallel output data (D0[3k+1] -Dn [3k+1] D0[3k+2] -Dn[3k+2] D0[3k+3] -Dn[3k+3 --] (k is zero or more integers)) of latch 2 circuit in each bit, and changes them into serial data.

[0049] Here, cautions are taken for connection methods with the gradation power-source line of connection changeover switch 100b which performs a connection change on a D/A conversion circuit and the gradation power-source lines Vref1 and Vref2 to differ. As for two connection changeover switch 100b which adjoins each other as shown in drawing 3 , connection with two gradation power-source lines Vref1 and Vref2 is reverse. Since each connection changeover switch 100b is controlled by

the same control signal SVr, an adjacent D/A conversion circuit is always connected with the gradation power-source line for a reversed-polarity output at this time of day. The output of the D/A conversion circuit which adjoins each other reflecting this always serves as reversed polarity at this time of day. Therefore, even when driving three source signal lines by one D/A conversion circuit unlike the operation gestalt 1, it becomes possible to write the potential which the polarity reversed in an adjacent source signal line.

[0050] In addition, without changing a connection method with the gradation power-source line of connection changeover switch 100b which adjoins each other as mentioned above, even if reverse in actuation of an adjacent connection changeover switch, the same result can be obtained.

[0051] A source line selection circuitry consists of three switches sw1, sw2, and sw3. If sw1 turns on, the source signal line of eye ** (3k+1) watch will be connected with the output of each D/A conversion circuit. if sw2 turns on -- the source signal line of eye ** (3k+2) watch -- every -- if it connects with the output of D / A conversion circuit and sw3 turns on -- the source signal line of eye ** (3k+3) watch -- every -- it connects with the output of a D/A conversion circuit. SS1-SS3 are selection signals which control turning on and off of sw1-sw3, respectively.

[0052] The signal actuation timing of drawing 3 is shown in drawing 4 . The actuation which turns on sw1, makes SS2 Hi level at the 2nd period, turns on sw2, makes [1 gate signal line selection period is divided into three and SS1 is made into Hi level at the 1st period, and] SS3 Hi level at the 3rd period, and turns on sw3 is shown. In addition, the output of each bit data of each P/S conversion circuit Make it synchronize with the above-mentioned selection signal (SS1-SS3), and a gate signal line selection period is trichotomized. The data of a ** (3k+1) source signal line are outputted to the 1st period. The data of a ** (3k+2) source signal line are outputted to the 2nd period, and it controls by the selection signal SS inputted into a P/S conversion circuit so that the data of a ** (3k+3) source signal line may be outputted at the 3rd period. By carrying out like this, the digital video signal corresponding to each source signal line is reflected in the writing of a suitable source signal line. This situation was shown in D0_1-Dn_1 of drawing 4 , and D0_4-Dn_4. Here, Di_1 is the output data of the ** (i+1) bit eye of a left P/S conversion circuit in drawing 3 , and Di_4 are the output data of the ** (i+1) bit eye of a right P/S conversion circuit in drawing 3 .

[0053] Below, it is shown by the input approach of the change control signal SVr of the gradation power-source line to a D/A conversion circuit that source line reversal and a dot reversal drive are possible.

[0054] The input signal of a control signal SVr in the case of performing a source line reversal drive is shown in SVr of drawing 4 , and SVr (sb) (s). Here, SVr (sb) shows the control signal SVr in the frame [degree] period at the time of a SVr(s) input, and is the reversal signal of SVr (s). Consequently, the polarity written in each pixel becomes like drawing 12 a.

[0055] Moreover, the input approach of the control signal SVr in the case of performing a dot reversal drive is shown in SVr (d) of drawing 4 , and SVr (db). Here, SVr (db) shows the control signal SVr in the frame [degree] period at the time of a SVr(d) input, and is the reversal signal of SVr (d). Consequently, the polarity written in each pixel becomes like drawing 12 b.

[0056] As mentioned above, this operation gestalt enables it to perform the source line reversal drive approach and the dot reversal drive approach, even if it is the case where three source signal lines are driven by one D/A conversion circuit. In addition, although the case where three source signal lines are driven by one D/A conversion circuit is mentioned as the example with this operation gestalt, this invention is not limited to this, and also when driving odd source signal lines, such as 3, 5, and ..., by one D/A conversion circuit, it may be applied.

[0057] With the [operation gestalt 3] book operation gestalt, although circuitry is the same as the operation gestalt 1, it is changing the input approach of a signal and how to lengthen the period of the control signal which controls the connection changeover switch of a gradation power-source line is shown.

[0058] The timing of operation to drawing 1 at this time is shown in drawing 5 . The actuation which turns on sw3, makes SS2 Hi level at the 3rd period, turns on sw2, makes [1 gate signal line selection

period is divided into four like the operation gestalt 1, and SS1 is made into Hi level at the 1st period, / sw1 is turned on and SS3 is made into Hi level at the 2nd period, and] SS4 Hi level at the 4th period, and turns on sw4 is shown. In addition, the output of each bit data of each P/S conversion circuit Make it synchronize with the above-mentioned selection signal (SS1-SS4), and a gate signal line selection period is quadrisectioned. The data of a ** (4k+1) source signal line are outputted to the 1st period. The data of a ** (4k+3) source signal line are outputted to the 2nd period. The data of a ** (4k+2) source signal line are outputted to the 3rd period, and it controls by the selection signal SS inputted into a P/S conversion circuit so that the data of a ** (4k+4) source signal line may be outputted at the 4th period. By carrying out like this, the digital video signal corresponding to each source signal line is reflected in the writing of a suitable source signal line. This situation was shown in D0_1-Dn_1 of drawing 5, and D0_5-Dn_5. Here, Di_1 is the output data of the ** (i+1) bit eye of a left P/S conversion circuit in drawing 1, and Di_5 are the output data of the ** (i+1) bit eye of a right P/S conversion circuit in drawing 1.

[0059] The input signal of a control signal SVr in the case of performing a source line reversal drive is shown in SVr of drawing 5, and SVr (sb) (s). Here, SVr (sb) shows the control signal SVr in the frame [degree] period at the time of a SVr(s) input, and is the reversal signal of SVr (s). Consequently, the polarity written in each pixel becomes like drawing 12 a. As for (s) and SVr of drawing 5, and SVr (sb), it turns out that the period is long from them of drawing 2.

[0060] Moreover, the input approach of the control signal SVr in the case of performing a dot reversal drive is shown in SVr (d) of drawing 5, and SVr (db). Here, SVr (db) shows the control signal SVr in the frame [degree] period at the time of a SVr(d) input, and is the reversal signal of SVr (d). Consequently, the polarity written in each pixel becomes like drawing 12 b. A ***** understands a period for SVr (d) of drawing 5, and SVr (db) from them of drawing 2. Moreover, even if compared with SVr of drawing 5, and SVr (sb) (s), a ***** understands the period of SVr (d) and SVr (db) most.

[0061] As mentioned above, the source line reversal drive approach and the dot reversal drive approach are performed, and this operation gestalt enables it to lengthen the period of the control signal which chooses a gradation power-source line further, even if it is the case where four source signal lines are driven by one D/A conversion circuit. In addition, although the case where four source signal lines are driven by one D/A conversion circuit is mentioned as the example with this operation gestalt, this invention is not limited to this, and also when driving four or more source signal lines [even] by one D/A conversion circuit, it may be applied. In addition, when driving two source signal lines by one D/A conversion circuit, this operation gestalt becomes equivalent to the operation gestalt 1.

[0062] With the [operation gestalt 4] book operation gestalt, although circuitry is the same as the operation gestalt 2, it is changing the input approach of a signal and how to carry out whether it is equivalent in the period of the control signal which controls the connection changeover switch of a gradation power-source line more than it is shown.

[0063] The timing of operation to drawing 3 at this time is shown in drawing 6. The actuation which turns on sw1, makes SS3 Hi level at the 2nd period, turns on sw3, makes [1 gate signal line selection period is divided into three like the operation gestalt 2, and SS1 is made into Hi level at the 1st period, and] SS2 Hi level at the 3rd period, and turns on sw2 is shown. In addition, the output of each bit data of each P/S conversion circuit Make it synchronize with the above-mentioned selection signal (SS1-SS3), and a gate signal line selection period is trichotomized. The data of a ** (3k+1) source signal line are outputted to the 1st period. The data of a ** (3k+3) source signal line are outputted to the 2nd period, and it controls by the selection signal SS inputted into a P/S conversion circuit so that the data of a ** (3k+2) source signal line may be outputted at the 3rd period. By carrying out like this, the digital video signal corresponding to each source signal line is reflected in the writing of a suitable source signal line. This situation was shown in D0_1-Dn_1 of drawing 6, and D0_4-Dn_4. Here, Di_1 is the output data of the ** (i+1) bit eye of a left P/S conversion circuit in drawing 3, and Di_4 are the output data of the ** (i+1) bit eye of a right P/S conversion circuit in drawing 3.

[0064] The input signal of a control signal SVr in the case of performing a source line reversal drive is

shown in SVr of drawing 6 , and SVr (sb) (s). Here, SVr (sb) shows the control signal SVr in the frame [degree] period at the time of a SVr(s) input, and is the reversal signal of SVr (s). Consequently, the polarity written in each pixel becomes like drawing 12 a. It turns out that (s) and SVr of drawing 6 , and SVr (sb) have the same period as them of drawing 4 .

[0065] Moreover, the input approach of the control signal SVr in the case of performing a dot reversal drive is shown in SVr (d) of drawing 6 , and SVr (db). Here, SVr (db) shows the control signal SVr in the frame [degree] period at the time of a SVr(d) input, and is the reversal signal of SVr (d).

Consequently, the polarity written in each pixel becomes like drawing 12 b. A ***** understands a period for SVr (d) of drawing 6 , and SVr (db) from them of drawing 4 . Moreover, even if compared with SVr of drawing 6 , and SVr (sb) (s), a ***** understands the period of SVr (d) and SVr (db) most.

[0066] As mentioned above, the source line reversal drive approach and the dot reversal drive approach are performed, and this operation gestalt enables it to carry out whether it is equivalent to the operation gestalt 2 in the period of the control signal which chooses a gradation power-source line further more than it, even if it is the case where three source signal lines are driven by one D/A conversion circuit. In addition, although the case where three source signal lines are driven by one D/A conversion circuit is mentioned as the example with this operation gestalt, this invention is not limited to this, and also when driving three or more source signal lines [odd] by one D/A conversion circuit, it may be applied. In addition, if it is the case where five or more source signal lines are driven by one D/A conversion circuit, the period of the control signal which chooses the gradation power-source line in a source line reversal drive can be made longer than the operation gestalt 2 according to this operation gestalt.

[0067] With the [operation gestalt 5] book operation gestalt, it differs in the operation gestalt 1, one gradation power-source line is supplied to a D/A conversion circuit, and one certain approach of enabling source line reversal and a dot reversal drive is explained by reversing the polarity of the supply voltage of the gradation power-source line.

[0068] This operation gestalt explains taking the case of the case where drive four source signal lines by one D/A conversion circuit, and it corresponds to the digital video-signal input of a bit (n+1) (n is zero or more integers).

[0069] The outline circuit diagram of this operation gestalt is shown in drawing 7 . In drawing 7 , the shift register section, the latch 1 circuit section, and the latch 2 circuit section omitted like drawing 1 . A parallel/serial-conversion circuit (P/S conversion circuit) the parallel output data (D0[4k+1] - Dn [4k+1] --) of latch 2 circuit D -- zero -- [-- four -- k -- + -- two --] - Dn -- [-- four -- k -- + -- two --] -- D -- zero - - [-- four -- k -- + -- three --] - Dn -- [-- four -- k -- + -- three --] -- D -- zero -- [-- four -- k -- + -- four --] - Dn -- [-- four -- k -- + -- four --] (k is zero or more integers) -- each bit -- collecting -- serial data -- changing .

[0070] A source line selection circuitry consists of four switches sw1, sw2, sw3, and sw4. If sw1 turns on, the source signal line of eye ** (4k+1) watch will be connected with the output of a D/A conversion circuit. If sw2 turns on, the source signal line of eye ** (4k+2) watch will be connected with the output of a D/A conversion circuit. If sw3 turns on, the source signal line of eye ** (4k+3) watch will be connected with the output of a D/A conversion circuit, and if sw4 turns on, the source signal line of eye ** (4k+4) watch will be connected with the output of a D/A conversion circuit. SS1-SS4 are selection signals which control turning on and off of sw1-sw4, respectively.

[0071] The signal actuation timing of drawing 7 is shown in drawing 8 . The actuation which turns on sw2, makes SS3 Hi level at the 3rd period, turns on sw3, makes [1 gate signal line selection period is divided into four and SS1 is made into Hi level at the 1st period, / sw1 is turned on and SS2 is made into Hi level at the 2nd period, and] SS4 Hi level at the 4th period, and turns on sw4 is shown. In addition, the output of each bit data of each P/S conversion circuit Make it synchronize with the above-mentioned selection signal (SS1-SS4), and a gate signal line selection period is quadrisected. The data of a ** (4k+1) source signal line are outputted to the 1st period. The data of a ** (4k+2) source signal line are outputted to the 2nd period. The data of a ** (4k+3) source signal line are outputted to the 3rd period, and it controls by the selection signal inputted into a P/S conversion circuit so that the data of a **

(4k+4) source signal line may be outputted at the 4th period. By carrying out like this, the digital video signal corresponding to each source signal line is reflected in the writing of a suitable source signal line. This situation was shown in D0_1-Dn_1 of drawing 8, and D0_5-Dn_5. Here, Di_1 is the output data of the ** (i+1) bit eye of a left P/S conversion circuit in drawing 7, and Di_5 are the output data of the ** (i+1) bit eye of a right P/S conversion circuit in drawing 7.

[0072] Below, it is shown by the input approach of the supply voltage of the gradation power-source line Vref connected to a D/A conversion circuit that source line reversal and a dot reversal drive are possible.

[0073] The input approach of the supply voltage of the gradation power-source line Vref in the case of performing a source line reversal drive is shown in Vref of drawing 8, and Vref (sb) (s). Among drawing, it is shown that (+) supplies the electrical potential difference for a plus polarity output to a gradation power-source line, and it is shown that (-) supplies the electrical potential difference for a minus polarity output to a gradation power-source line. Moreover, Vref (sb) shows the input approach of the supply voltage of the gradation power-source line Vref in the frame [degree] period at the time of a Vref(s) input, and has a reversal relation with Vref (s). Consequently, the polarity written in each pixel becomes like drawing 12 a.

[0074] Moreover, the input approach of the supply voltage of the gradation power-source line Vref in the case of performing a dot reversal drive is shown in Vref (d) of drawing 8, and Vref (db). Here, Vref (db) shows the input approach of the supply voltage of the gradation power-source line Vref in the frame [degree] period at the time of a Vref(d) input, and has a reversal relation with Vref (d). Consequently, the polarity written in each pixel becomes like drawing 12 b.

[0075] As mentioned above, when driving two or more source signal lines by one D/A conversion circuit according to this operation gestalt, it becomes possible to perform the source line reversal drive approach and the dot reversal drive approach. In addition, although the case where four source signal lines are driven by one D/A conversion circuit is mentioned as the example with this operation gestalt, this invention is not limited to this, and also when driving even source signal lines, such as 2, 4, and ..., by one D/A conversion circuit, it may be applied.

[0076] With the [operation gestalt 6] book operation gestalt, although circuitry is the same as the operation gestalt 5, it is changing the input approach of the supply voltage of a gradation power-source line, and how to lengthen the period which the polarity of the supply voltage of a gradation power-source line reverses is shown.

[0077] The timing of operation to drawing 7 at this time is shown in drawing 9. The actuation which turns on sw3, makes SS2 Hi level at the 3rd period, turns on sw2, makes [1 gate signal line selection period is divided into four like the operation gestalt 5, and SS1 is made into Hi level at the 1st period, / sw1 is turned on and SS3 is made into Hi level at the 2nd period, and] SS4 Hi level at the 4th period, and turns on sw4 is shown. In addition, the output of each bit data of each P/S conversion circuit Make it synchronize with the above-mentioned selection signal (SS1-SS4), and a gate signal line selection period is quadrisected. The data of a ** (4k+1) source signal line are outputted to the 1st period. The data of a ** (4k+3) source signal line are outputted to the 2nd period. The data of a ** (4k+2) source signal line are outputted to the 3rd period, and it controls by the selection signal inputted into a P/S conversion circuit so that the data of a ** (4k+4) source signal line may be outputted at the 4th period. By carrying out like this, the digital video signal corresponding to each source signal line is reflected in the writing of a suitable source signal line. This situation was shown in D0_1-Dn_1 of drawing 9, and D0_5-Dn_5. Here, Di_1 is the output data of the ** (i+1) bit eye of a left P/S conversion circuit in drawing 7, and Di_5 are the output data of the ** (i+1) bit eye of a right P/S conversion circuit in drawing 7.

[0078] Below, by the input approach of the supply voltage of the gradation power-source line Vref to a D/A conversion circuit, source line reversal and a dot reversal drive are possible, and it is shown that the period which the polarity of the supply voltage reverses can be made longer than the operation gestalt 5.

[0079] The input approach of the supply voltage of the gradation power-source line Vref in the case of performing a source line reversal drive is shown in Vref of drawing 9, and Vref (sb) (s). Among

drawing, it is shown that (+) supplies the electrical potential difference for a plus polarity output to a gradation power-source line, and it is shown that (-) supplies the electrical potential difference for a minus polarity output to a gradation power-source line. Moreover, Vref (sb) shows the input approach of the supply voltage of the gradation power-source line Vref in the frame [degree] period at the time of a Vref(s) input, and has a reversal relation with Vref (s). Consequently, the polarity written in each pixel becomes like drawing 12 a. It turns out that the period to which (s) and Vref of drawing 9, and Vref (sb) reverse a polarity from them of drawing 8 is long.

[0080] Moreover, the input approach of the supply voltage of the gradation power-source line Vref in the case of performing a dot reversal drive is shown in Vref (d) of drawing 9, and Vref (db). Here, Vref (db) shows the input approach of the supply voltage of the gradation power-source line Vref in the frame [degree] period at the time of a Vref(d) input, and has a reversal relation with Vref (d). Consequently, the polarity written in each pixel becomes like drawing 12 b. A ***** understands the period which the polarity of supply voltage reverses from them of drawing 8 for Vref (d) of drawing 9, and Vref (db). Moreover, even if compared with Vref of drawing 8, and Vref (sb) (s), a ***** understands the period of Vref (d) and Vref (db) most.

[0081] As mentioned above, when driving two or more source signal lines by one D/A conversion circuit according to this operation gestalt, the source line reversal drive approach and the dot reversal drive approach are performed, and it becomes possible to lengthen the period which the polarity of the supply voltage of a gradation power-source line reverses further. In addition, although the case where four source signal lines are driven by one D/A conversion circuit is mentioned as the example with this operation gestalt, this invention is not limited to this, and also when driving four or more source signal lines [even] by one D/A conversion circuit, it may be applied. In addition, when driving two source signal lines by one D/A conversion circuit, this operation gestalt becomes equivalent to the operation gestalt 5.

[0082] Although two independent gradation power-source lines are supplied to a source signal-line drive circuit with the [operation gestalt 7] book operation gestalt in order to obtain the output from which a polarity differs like the operation gestalt 1 from a D/A conversion circuit Or the eventh is distinguished. every -- the source signal line which a D/A conversion circuit drives -- the oddth -- The gradation power-source line of the 1st line is connected to each D/A conversion circuit which drives the odd-numbered source signal line. The gradation power-source line of the 2nd line is connected to each D/A conversion circuit which drives the even-numbered source signal line, and by changing the polarity of a gradation power-source line further explains one certain approach of enabling source line reversal and a dot reversal drive.

[0083] This operation gestalt explains taking the case of the case where drive two source signal lines by one D/A conversion circuit, and it corresponds to the digital video-signal input of a bit (n+1) (n is zero or more integers).

[0084] The outline circuit diagram of this operation gestalt is shown in drawing 10. In drawing 10, the shift register section, the latch 1 circuit section, and the latch 2 circuit section omitted like drawing 1. A parallel/serial-conversion circuit (P/S conversion circuit) the parallel output data (D0[4k+1] - Dn [4k+1] --) of latch 2 circuit D0[4k+3] - Dn [4k+3] or D0[4k+2] - Dn[4k+2] D0[4k+4] - Dn[4k+4] (k is zero or more integers) is summarized in each bit, and it changes into serial data.

[0085] Here, the digital video signal inputted into each parallel/serial-conversion circuit is either the odd-numbered source signal line or the even-numbered source signal line. The digital video signal inputted into each D/A conversion circuit reflecting this is also either the odd-numbered source signal line or the even-numbered source signal line.

[0086] The gradation power-source line Vref1 of the 1st line is connected to each D/A conversion circuit into which the digital video signal of the odd-numbered source signal line is inputted, and the gradation power-source line Vref2 of the 2nd line is connected to each D/A conversion circuit into which the digital video signal of the even-numbered source signal line is inputted.

[0087] if a source line selection circuitry consists of two switches sw1 and sw2 and sw1 turns on -- the source signal line of eye ** (4k+1) watch and eye ** (4k+2) watch -- every -- if it connects with the

output of a D/A conversion circuit and sw2 turns on -- the source signal line of eye ** (4k+3) watch and eye ** (4k+4) watch -- every -- it connects with the output of a D/A conversion circuit. SS1-SS2 are selection signals which control turning on and off of sw1-sw2, respectively.

[0088] The signal actuation timing of drawing 10 is shown in drawing 11. The actuation which divides 1 gate signal line selection period into two, makes SS1 Hi level at the 1st period, turns on sw1, makes SS2 Hi level at the 2nd period, and turns on sw2 is shown. In addition, the output of each bit data of each P/S conversion circuit Make it synchronize with the above-mentioned selection signal (SS1-SS2), and a gate signal line selection period is divided into two. The data of a ** (4k+1) source signal line or a ** (4k+2) source signal line are outputted to the 1st period. It controls by the selection signal inputted into a P/S conversion circuit so that the data of a ** (4k+3) source signal line or a ** (4k+4) source signal line may be outputted at the 2nd period. By carrying out like this, the digital video signal corresponding to each source signal line is reflected in the writing of a suitable source signal line. This situation was shown in D0_1-Dn_1 of drawing 11, and D0_2-Dn_2. Here, Di_1 is the output data of the ** (i+1) bit eye of a left P/S conversion circuit in drawing 10, and Di_2 are the output data of the ** (i+1) bit eye of a right P/S conversion circuit in drawing 10.

[0089] The input approach of the supply voltage of the gradation power-source line Vref1 of the 1st line in the case of performing a source line reversal drive and the gradation power-source line Vref2 of the 2nd line is shown in Vref1 of drawing 11, Vref2 (s) and Vref1 (sb), and Vref2 (sb) (s). It is shown that (+) supplies the electrical potential difference for a plus polarity output to an applicable gradation power-source line among drawing, and it is shown that (-) supplies the electrical potential difference for a minus polarity output to an applicable gradation power-source line. Moreover, Vref1 (sb) shows the input approach of the supply voltage of the gradation power-source line Vref1 of the 1st line in the frame [degree] period at the time of a Vref1(s) input, and has a reversal relation with Vref1 (s). Similarly, Vref2 (sb) shows the input approach of the supply voltage of the gradation power-source line Vref2 of the 2nd line in the frame [degree] period at the time of a Vref2(s) input, and has a reversal relation with Vref2 (s). Consequently, the polarity written in each pixel becomes like drawing 12 a.

[0090] Moreover, the input approach of the supply voltage of the gradation power-source line Vref1 of the 1st line in the case of performing a dot reversal drive and the gradation power-source line Vref2 of the 2nd line is shown in Vref1 (d), Vref2 (d) and Vref1 (db) of drawing 11, and Vref2 (db). Moreover, Vref1 (db) shows the input approach of the supply voltage of the gradation power-source line Vref1 of the 1st line in the frame [degree] period at the time of a Vref1(d) input, and has a reversal relation with Vref1 (d). Similarly, Vref2 (db) shows the input approach of the supply voltage of the gradation power-source line Vref2 of the 2nd line in the frame [degree] period at the time of a Vref2(d) input, and has a reversal relation with Vref2 (d). Consequently, the polarity written in each pixel becomes like drawing 12 b.

[0091] As mentioned above, when driving two source signal lines by one D/A conversion circuit according to this operation gestalt, it becomes possible to perform the source line reversal drive approach and the dot reversal drive approach. In addition, although the case where two source signal lines are driven by one D/A conversion circuit is mentioned as the example with this operation gestalt, this invention is not limited to this, and also when driving the source signal line of the number of arbitration by one D/A conversion circuit, it may be applied.

[0092] As mentioned above, with all operation gestalten, although the parallel/serial-conversion circuit (P/S conversion circuit) was used, this invention is not limited to this existence. That is, this invention may be applied to a D/A conversion circuit to any approaches of carrying out the serial input of the digital video signal of a 1 level write-in period and two or more source signal lines.

[0093]

[Example] Here, the example of this invention is explained, referring to a drawing. However, this invention is not necessarily limited to the following examples.

[0094] [Example 1] this example explains taking the case of an active matrix liquid crystal display as a concrete example of the operation gestalt 1.

[0095] The active matrix liquid crystal display consists of a source signal-line drive circuit 101, a gate

signal line drive circuit 102, and the pixel array section 103 arranged in the shape of a matrix, as shown in drawing 40.

[0096] The example of circuitry of the source signal-line drive circuit corresponding to the operation gestalt 1 is shown in drawing 13. Moreover, for convenience, an input digital video signal is made into a triplet, and the case of explanation where four source signal lines are driven by one D/A conversion circuit is explained.

[0097] Drawing 13 is referred to. The shift register section has flip-flop circuit FF, a NAND circuit, and an inverter, and reversal clock signal CLKb and the start pulse SP of a clock signal CLK and said clock signal CLK are inputted. As shown in drawing 14 (A), flip-flop circuit FF consists of a clocked inverter and an inverter.

[0098] If a start pulse SP is inputted, synchronizing with a clock signal CLK and CLKb, the sampling pulse carries out the sequential shift.

[0099] The latch 1 section and the latch 2 section which are a store circuit consist of basic latch circuit Local Area Transports. A basic latch circuit is shown in drawing 14 (B). Basic latch circuit Local Area Transport consists of a clocked inverter and an inverter. The digital video signal (D0, D1, D2) of a triplet is inputted into the latch 1 section, and a digital video signal is latched by the sampling pulse from the shift register section. While the latch 2 sections latch the digital video signal currently held by the latch pulse LP inputted at a horizontal blanking interval at the latch 1 section all at once, they transmit information to a down-stream circuit. At this time, 1 level write-in period data are held at the latch 2 section.

[0100] In addition, in drawing 14 (A) and (B), although connection of the P channel mold clock input terminal of each clocked inverter is omitted, the reversal signal of the clock signal inputted into the N channel mold clock input terminal in practice is inputted. Moreover, you may be different circuitry although flip-flop circuit FF and basic latch circuit Local Area Transport are carrying out the same circuitry in this example.

[0101] The digital video signal memorized by the latch 2 section of 3 bit-data x4 (four source signal lines) and selection signals SS1-SS4 are inputted into a parallel/serial-conversion circuit (in drawing 13, it is considered as the P/S conversion circuit A) from the outside. As shown in drawing 15 (A), the P/S conversion circuit A consists of NAND circuits.

[0102] The signal actuation timing which observed drawing 17 at the P/S conversion circuit A in connection with the 1st - the 4th source signal line (SL1-SL4) is shown. One gate signal line selection period is divided into four, SS1 is made into Hi level at the 1st period, and the digital video signal of the 1st source signal line SL 1 is outputted to a D/A conversion circuit. The 2nd period makes SS2 Hi level, and outputs the digital video signal of the 2nd source signal line SL 2 to a D/A conversion circuit. The 3rd period makes SS3 Hi level, and outputs the digital video signal of the 3rd source signal line SL 3 to a D/A conversion circuit. The last period [4th] makes SS4 Hi level, and outputs the digital video signal of the 4th source signal line SL 4 to a D/A conversion circuit. This situation was shown in D 0_1 of drawing 17, D 1_1, and D 2_1. Here, Di_1 is the output data of the ** (i+1) bit eye of the P/S conversion circuit A in connection with the 1st currently observed now - the 4th source signal line (SL1-SL4). Moreover, as mentioned above, Di [s, g] shows the bit data of eye ** (i+1) watch to the pixel of the s-th **** of g lines.

[0103] The P/S conversion circuit A in connection with the source signal line (SL5-SL8, SL9-SL12, ...) of others [actuation / same] is also performed in parallel.

[0104] The example of circuitry of a D/A conversion circuit is shown in drawing 16. Drawing 16 is the D/A conversion circuit of a resistance string mold, and in order to obtain the output of a certain electrical-potential-difference range, it needs to supply two gradation power-source lines. By drawing 16, these were indicated to be Vref_L and Vref_H. Such gradation supply voltage is divided by resistance, and the electrical-potential-difference value corresponding to the input digital video signal of a triplet is outputted.

[0105] According to the operation gestalt 1, since two independent gradation power-source lines are supplied to a source signal-line drive circuit, four gradation power-source lines are needed in all. By

drawing 13 , these were indicated [line / 1st] to be Vref2_L and Vref2_H about Vref1_L, Vref1_H, and the 2nd line.

[0106] The example of circuitry of the connection changeover switch SW which carries out the connection change to the two above-mentioned gradation power-source lines and a D/A conversion circuit is shown in drawing 14 (C). If it is the example of connection of drawing 13 , when a control signal SVr is Hi, gradation power-source line Vrefof 1st line 1_L and Vref1_H are connected with a D/A conversion circuit, and when SVr is Lo, gradation power-source line Vrefof 2nd line 2_L and Vref2_H will be connected with a D/A conversion circuit.

[0107] The output of a D/A conversion circuit is connected to a suitable source signal line via the source line selection circuitry A. The example of circuitry of the source line selection circuitry A is shown in drawing 15 (B). The source line selection circuitry A consists of the four transfer gates (switch), and selection signals SS1-SS4 and those reversal signals are inputted into each gate. If the signal actuation timing of drawing 17 is followed, a switch sw1 will be turned on at the 1st period which divided 1 gate signal line selection period into four, and the output of a D/A conversion circuit will be written in the 1st source signal line SL 1. A switch sw2 is turned on at the 2nd period, and the output of a D/A conversion circuit is written in the 2nd source signal line SL 2. A switch sw3 is turned on at the 3rd next period, and the output of a D/A conversion circuit is written in the 3rd source signal line SL 3. A switch sw4 is turned on at the last period [4th], and the output of a D/A conversion circuit is written in the 4th source signal line SL 4.

[0108] Such writing is performed in parallel also to other source signal lines. And the data written in each source signal line will be written one by one in each pixel by the work by the gate signal line drive circuit and Pixel TFT.

[0109] The example of an input of a control signal SVr in the case of performing a source line reversal drive is shown in SVr (s) and SVr (sb) of drawing 17 . Here, SVr (sb) shows the control signal SVr in the frame [degree] period at the time of a SVr(s) input, and is also the reversal signal of SVr (s).

[0110] The 1st and the 3rd period which divided 1 gate signal line selection period into four during a certain frame period set a control signal SVr to Hi, the gradation power-source line of the 1st line and a D/A conversion circuit are connected, and the 2nd and the 4th period set a control signal SVr to Lo, and connects the gradation power-source line of the 2nd line, and a D/A conversion circuit. (SVr of drawing 17 (s))

[0111] The 1st and the 3rd period which divided 1 gate signal line selection period into four during the next frame period set a control signal SVr to Lo, the gradation power-source line of the 2nd line and a D/A conversion circuit are connected, and the 2nd and the 4th period set a control signal SVr to Hi, and connects the gradation power-source line of the 1st line, and a D/A conversion circuit. (SVr of drawing 17 (sb))

[0112] In this example, the electrical-potential-difference value of gradation power-source line Vref1_L and Vref1_H of the 1st line is set to +1V and +5V, respectively, and the electrical-potential-difference value, gradation power-source line Vref2_L and Vref2_H, of the 2nd line is set to -1V and -5V, respectively. This means carrying out the output of a plus polarity, if a D/A conversion circuit connects with the gradation power-source line of the 1st line, and carrying out the output of a minus polarity, if it connects with the gradation power-source line of the 2nd line.

[0113] By the above approach, the source line reversal drive shown by drawing 12 (A) is attained.

[0114] Moreover, the example of an input of a control signal SVr in the case of performing a dot reversal drive is shown in SVr (d) and SVr (db) of drawing 17 . Here, SVr (db) shows the control signal SVr in the frame [degree] period at the time of a SVr(d) input, and is also the reversal signal of SVr (d). Moreover, the control signal SVr of a certain gate signal line selection period reverses the control signal of the last gate signal line selection period.

[0115] Thus, the dot reversal drive shown by drawing 12 (B) is attained.

[0116] In addition, although the selection signals SS1-SS4 inputted into the P/S conversion circuit A and the source line selection circuitry A in this example were the same, it is good also as another network respectively.

[0117] Moreover, although the circuit drive power source supplied to a source signal-line drive circuit in this example assumed one line, it may be made into two or more lines, and may insert a level-shifter circuit in a required part.

[0118] [Example 2] this example explains taking the case of an active matrix liquid crystal display as a concrete example of the operation gestalt 2. Moreover, below, a focus is applied and explained to a source signal-line drive circuit like an example 1.

[0119] The example of circuitry of the source signal-line drive circuit corresponding to the operation gestalt 2 is shown in drawing 18. Moreover, for convenience, an input digital video signal is made into a triplet, and the case of explanation where three source signal lines are driven by one D/A conversion circuit is explained.

[0120] Drawing 18 is referred to. The shift register section, the latch 1 section, and the latch 2 section are the same as an example 1.

[0121] The digital video signal memorized by the latch 2 section of 3 bit-data x3 (three source signal lines) and selection signals SS1-SS3 are inputted into a parallel/serial-conversion circuit (in drawing 18, it is considered as the P/S conversion circuit B) from the outside. As shown in drawing 23 (A), the P/S conversion circuit B consists of NAND circuits.

[0122] The signal actuation timing which observed drawing 19 at the P/S conversion circuit B in connection with the 1st - the 3rd source signal line (SL1-SL3) is shown. One gate signal line selection period is divided into three, SS1 is made into Hi level at the 1st period, and the digital video signal of the 1st source signal line SL 1 is outputted to a D/A conversion circuit. The 2nd period makes SS2 Hi level, and outputs the digital video signal of the 2nd source signal line SL 2 to a D/A conversion circuit. The last period [3rd] makes SS3 Hi level, and outputs the digital video signal of the 3rd source signal line SL 3 to a D/A conversion circuit. This situation was shown in D 0_1 of drawing 19, D 1_1, and D 2_1. Here, Di_1 is the output data of the ** (i+1) bit eye of the P/S conversion circuit B in connection with the 1st currently observed now - the 3rd source signal line (SL1-SL3). Moreover, as mentioned above, Di [s, g] shows the bit data of eye ** (i+1) watch to the pixel of the s-th **** of g lines.

[0123] The P/S conversion circuit B in connection with the source signal line (SL4-SL6, SL7-SL9, ...) of others [actuation / same] is also performed in parallel.

[0124] The same drawing 16 as an example 1 shall show a D/A conversion circuit.

[0125] Also in the operation gestalt 2, since two independent gradation power-source lines are supplied to a source signal-line drive circuit, four gradation power-source lines are needed in all. Also by drawing 18, these were indicated [line / 1st] to be Vref2_L and Vref2_H about Vref1_L, Vref1_H, and the 2nd line.

[0126] The circuitry of the connection changeover switch SW which performs the connection change to the two above-mentioned gradation power-source lines and a D/A conversion circuit is the same as an example 1, and is shown in drawing 14 (C). However, connection methods with a gradation power-source line differ. Namely, as for the adjacent connection changeover switch SW, connection with the gradation power-source line of the 1st line and the 2nd line was changed by turns. If it is the example of connection of drawing 18, the connection changeover switch SW in connection with the 1st - the 3rd source signal line (SL1-SL3) connects gradation power-source line Vrefof 1st line 1_L, and Vref1_H with a D/A conversion circuit, when a control signal SVr is Hi, and when a control signal SVr is Lo, it will connect gradation power-source line Vrefof 2nd line 2_L, and Vref2_H with a D/A conversion circuit. On the other hand, the connection changeover switch SW in connection with the next 4th - the next 6th source signal line (SL4-SL6) connects gradation power-source line Vrefof 2nd line 2_L, and Vref2_H with a D/A conversion circuit, when a control signal SVr is Hi, and when a control signal SVr is Lo, it connects gradation power-source line Vrefof 1st line 1_L, and Vref1_H with a D/A conversion circuit.

[0127] The output of a D/A conversion circuit is connected to a suitable source signal line via the source line selection circuitry B. The example of circuitry of the source line selection circuitry B is shown in drawing 23 (B). The source line selection circuitry B consists of the three transfer gates (switch), and selection signals SS1-SS3 and those reversal signals are inputted into each gate. If the signal actuation

timing of drawing 19 is followed, a switch sw1 will be turned on at the 1st period which divided 1 gate signal line selection period into three, and the output of a D/A conversion circuit will be written in the 1st source signal line SL 1. A switch sw2 is turned on at the 2nd period, and the output of a D/A conversion circuit is written in the 2nd source signal line SL 2. A switch sw3 is turned on at the last period [3rd], and the output of a D/A conversion circuit is written in the 3rd source signal line SL 3. [0128] Such writing is performed in parallel also to other source signal lines. And the data written in each source signal line will be written one by one in each pixel by the work by the gate signal line drive circuit and Pixel TFT.

[0129] The example of an input of a control signal SVr in the case of performing a source line reversal drive is shown in SVr (s) and SVr (sb) of drawing 19 . Here, SVr (sb) shows the control signal SVr in the frame [degree] period at the time of a SVr(s) input, and is also the reversal signal of SVr (s).

[0130] Divided 1 gate signal line selection period into three during a certain frame period. The 1st and the 3rd period set a control signal SVr to Hi. The 1st - the 3rd source signal line (SL1-SL3), the 7th - the 9th source signal line (SL7-SL9) -- the connection changeover switch SW in connection with ... The gradation power-source line of the 1st line and the corresponding D/A conversion circuit are connected. The 4th - the 6th source signal line (SL4-SL6), the 10th - the 12th source signal line (SL10-SL12) -- the connection changeover switch SW in connection with ... connects the gradation power-source line of the 2nd line, and the corresponding D/A conversion circuit. On the contrary, the 2nd period which divided 1 gate signal line selection period into three sets a control signal SVr to Lo. the 1st - the 3rd source signal line (SL1-SL3), and the 7th - the 9th source signal line (SL7-SL9) -- the connection changeover switch SW in connection with ... The gradation power-source line of the 2nd line and the corresponding D/A conversion circuit are connected. The 4th - the 6th source signal line (SL4-SL6), the 10th - the 12th source signal line (SL10-SL12) -- the connection changeover switch SW in connection with ... connects the gradation power-source line of the 1st line, and the corresponding D/A conversion circuit. (SVr of drawing 19 (s))

[0131] Divided 1 gate signal line selection period into three during the next frame period. The 1st and the 3rd period set a control signal SVr to Lo. The 1st - the 3rd source signal line (SL1-SL3), the 7th - the 9th source signal line (SL7-SL9) -- the connection changeover switch SW in connection with ... The gradation power-source line of the 2nd line and the corresponding D/A conversion circuit are connected. The 4th - the 6th source signal line (SL4-SL6), the 10th - the 12th source signal line (SL10-SL12) -- the connection changeover switch SW in connection with ... connects the gradation power-source line of the 1st line, and the corresponding D/A conversion circuit. On the contrary, the 2nd period which divided 1 gate signal line selection period into three sets a control signal SVr to Hi. the 1st - the 3rd source signal line (SL1-SL3), and the 7th - the 9th source signal line (SL7-SL9) -- the connection changeover switch SW in connection with ... The gradation power-source line of the 1st line and the corresponding D/A conversion circuit are connected. The 4th - the 6th source signal line (SL4-SL6), the 10th - the 12th source signal line (SL10-SL12) -- the connection changeover switch SW in connection with ... connects the gradation power-source line of the 2nd line, and the corresponding D/A conversion circuit. (SVr of drawing 19 (sb))

[0132] In this example, the electrical-potential-difference value of gradation power-source line Vref1_L and Vref1_H of the 1st line is set to +1V and +5V like an example 1, respectively, and the electrical-potential-difference value, gradation power-source line Vref2_L and Vref2_H, of the 2nd line is set to -1V and -5V, respectively. By this, if a D/A conversion circuit connects with the gradation power-source line of the 1st line, the output of a plus polarity will be carried out, and if it connects with the gradation power-source line of the 2nd line, the output of a minus polarity will be carried out.

[0133] By the above approach, the source line reversal drive shown by drawing 12 (A) is attained.

[0134] Moreover, the example of an input of a control signal SVr in the case of performing a dot reversal drive is shown in SVr (d) and SVr (db) of drawing 19 . Here, SVr (db) shows the control signal SVr in the frame [degree] period at the time of a SVr(d) input, and is also the reversal signal of SVr (d). Moreover, the control signal of a certain gate signal line selection period reverses the control signal of the last gate signal line selection period.

[0135] By carrying out like this, the dot reversal drive shown by drawing 12 (B) is attained.

[0136] In addition, although the selection signals SS1-SS3 inputted into the P/S conversion circuit B and the source line selection circuitry B also in this example were the same, it is good also as another network respectively.

[0137] Moreover, although the circuit drive power source supplied to a source signal-line drive circuit also in this example assumed one line, it may be made into two or more lines, and may insert a level-shifter circuit in a required part.

[0138] [Example 3] this example explains briefly taking the case of an active matrix liquid crystal display as a concrete example of the operation gestalt 3.

[0139] The example of circuitry of the source signal-line drive circuit corresponding to the operation gestalt 3 is the same as an example 1, and is shown by drawing 13. The input approach of selection signals SS1-SS4 and a control signal SVr differs from an example 1. What is necessary is to input the selection signals SS1-SS4 as shown by drawing 5, and just to input a control signal SVr, as shown by SVr (d) and SVr (db) when performing a source line reversal drive and performing SVr, SVr (sb), and a dot reversal drive (s).

[0140] [Example 4] this example explains briefly taking the case of an active matrix liquid crystal display as a concrete example of the operation gestalt 4.

[0141] The example of circuitry of the source signal-line drive circuit corresponding to the operation gestalt 4 is the same as an example 2, and is shown by drawing 18. The input approach of selection signals SS1-SS3 and a control signal SVr differs from an example 2. What is necessary is to input the selection signals SS1-SS3 as shown by drawing 6, and just to input a control signal SVr, as shown by SVr (d) and SVr (db) when performing a source line reversal drive and performing SVr, SVr (sb), and a dot reversal drive (s).

[0142] [Example 5] this example explains taking the case of an active matrix liquid crystal display as a concrete example of the operation gestalt 6. Moreover, a focus is applied and explained like examples 1-4 below in a source signal-line drive circuit.

[0143] The example of circuitry of the source signal-line drive circuit corresponding to the operation gestalt 6 is shown in drawing 20. Moreover, for convenience, an input digital video signal is made into a triplet, and the case of explanation where four source signal lines are driven by one D/A conversion circuit is explained.

[0144] Drawing 20 is referred to. The shift register section, the latch 1 section, and the latch 2 section are the same as examples 1-4.

[0145] The digital video signal memorized by the latch 2 section of 3 bit-data x4 (four source signal lines) and selection signals SS1-SS4 are inputted into the parallel/serial-conversion circuit A (P/S conversion circuit A) from the outside. As shown in drawing 15 (A), the P/S conversion circuit consists of NAND circuits. This is the same circuit as what was used in the example 1.

[0146] Paying attention to the part which drives the 1st - the 4th source signal line (SL1-SL4), signal actuation timing is shown in drawing 21. One gate signal line selection period is divided into four, SS1 is made into Hi level at the 1st period, and the digital video signal of the 1st source signal line SL 1 is outputted to a D/A conversion circuit. The 2nd period makes SS3 Hi level, and outputs the digital video signal of the 3rd source signal line SL 3 to a D/A conversion circuit. The 3rd period makes SS2 Hi level, and outputs the digital video signal of the 2nd source signal line SL 2 to a D/A conversion circuit. The last period [4th] makes SS4 Hi level, and outputs the digital video signal of the 4th source signal line SL 4 to a D/A conversion circuit. This situation was shown in D 0_1 of drawing 21, D 1_1, and D 2_1. Here, Di_1 is the output data of the ** (i+1) bit eye of the P/S conversion circuit A in connection with the 1st currently observed now - the 4th source signal line (SL1-SL4). Moreover, as mentioned above, Di [s, g] shows the bit data of eye ** (i+1) watch to the pixel of the s-th **** of g lines.

[0147] The P/S conversion circuit A in connection with the source signal line (SL5-SL8, SL9-SL12, ...) of others [actuation / same] is also performed in parallel.

[0148] A D/A conversion circuit is taken as the same thing as the examples 1-4 shown by drawing 16. The digital video signal of a triplet is inputted into a D/A conversion circuit as two, one gradation

power-source line V_{ref_L} and V_{ref_H} , from the P/S conversion circuit A.

[0149] The output of a D/A conversion circuit is connected to a suitable source signal line via the source line selection circuitry A. The example of circuitry of the source line selection circuitry A is shown in drawing 15 (B). The same circuit **** as what also used this in the example 1. The source line selection circuitry A consists of the four transfer gates (switch), and selection signals SS1-SS4 and those reversal signals are inputted into each gate. If the signal actuation timing of drawing 21 is followed, a switch sw1 will be turned on at the 1st period which divided 1 gate signal line selection period into four, and the output of a D/A conversion circuit will be written in the 1st source signal line SL 1. A switch sw3 is turned on at the 2nd period, and the output of a D/A conversion circuit is written in the 3rd source signal line SL 3. A switch sw2 is turned on at the 3rd next period, and the output of a D/A conversion circuit is written in the 2nd source signal line SL 2. A switch sw4 is turned on at the last period [4th], and the output of a D/A conversion circuit is written in the 4th source signal line SL 4.

[0150] Such writing is performed in parallel also to other source signal lines. And the data written in each source signal line will be written one by one in each pixel by the work by the gate signal line drive circuit and Pixel TFT.

[0151] Gradation power-source line V_{ref_L} in the case of performing a source line reversal drive and the example of an input of two supply voltage of V_{ref_H} are indicated to be drawing 21 (A) to (B). Drawing 21 (B) shows the supply voltage of gradation power-source line V_{ref_L} in the frame [degree] period at the time of the gradation power-source line input shown by drawing 21 (A), and V_{ref_H} , and has a reversal relation with drawing 21 (A) here.

[0152] In addition, in this example, as an electrical-potential-difference value of a gradation power-source line, V_{ref_L} shall take -1 and +1V and V_{ref_H} shall take -5 and +5V. When the combination of the electrical-potential-difference value of a gradation power-source line is { $V_{ref_L}=-1V$, $V_{ref_H}=-5V$ }, the output of a D/A conversion circuit is the minus polarity of -1V--5V, and the output of a D/A conversion circuit will take the plus polarity of +1V+5V at the time of { $V_{ref_L}=+1V$, $V_{ref_H}=+5V$ }. Unlike examples 1-4, the polarity of the supply voltage of a gradation power-source line is reversed within a 1 level write-in period.

[0153] By the above approach, the source line reversal drive shown by drawing 12 (A) is attained.

[0154] Moreover, gradation power-source **** V_{ref_L} in the case of performing a dot reversal drive and the example of an input of two supply voltage of V_{ref_H} are also indicated to be drawing 21 (C) to (D). Drawing 21 (D) shows the supply voltage of gradation power-source line V_{ref_L} in the frame [degree] period at the time of the gradation power-source line input shown by drawing 21 (C), and V_{ref_H} , and has a reversal relation with drawing 21 (C).

[0155] By carrying out like this, the dot reversal drive shown by drawing 12 (B) is attained.

[0156] In addition, although the selection signals SS1-SS4 inputted into the P/S conversion circuit A and the source line selection circuitry A also in this example were the same, it is good also as another network respectively.

[0157] Moreover, although the circuit drive power source supplied to a source signal-line drive circuit in this example assumed one line, it may be made into two or more lines, and may insert a level-shifter circuit in a required part.

[0158] [Example 6] this example explains briefly taking the case of an active matrix liquid crystal display as a concrete example of the operation gestalt 5.

[0159] The example of circuitry of the source signal-line drive circuit corresponding to the operation gestalt 5 is the same as an example 5, and is shown by drawing 20. Selection signals SS1-SS4, gradation power-source line V_{ref_L} , and the input approach of the supply voltage of V_{ref_H} differ from an example 5. What is necessary is to input the selection signals SS1-SS4 as shown by drawing 8, and just to input gradation power-source line V_{ref_L} and V_{ref_H} so that it may become the polarity shown by $V_{ref}(d)$ and $V_{ref}(db)$ when performing a source line reversal drive and performing V_{ref} , $V_{ref}(sb)$, and a dot reversal drive (s).

[0160] In this case, the period which reverses the polarity of the supply voltage of a gradation power-source line becomes shorter than what is shown in the example 5.

[0161] [Example 7] this example explains taking the case of an active matrix liquid crystal display as a concrete example of the operation gestalt 7. Moreover, a focus is applied and explained like examples 1-6 below in a source signal-line drive circuit.

[0162] The example of circuitry of the source signal-line drive circuit corresponding to the operation gestalt 7 is shown in drawing 22. Moreover, for convenience, an input digital video signal is made into a triplet, and the case of explanation where two source signal lines are driven by one D/A conversion circuit is explained.

[0163] Drawing 22 is referred to. The shift register section, the latch 1 section, and the latch 2 section are the same as examples 1-6.

[0164] The digital video signal memorized by the latch 2 section of 3 bit-data x2 (two source signal lines) and selection signals SS1 and SS2 are inputted into a parallel/serial-conversion circuit (in drawing 22, it is considered as the P/S conversion circuit C) from the outside. Here, generally the data about the 2nd and 3rd source signal line, the data about the 6th and 7th source signal line, and the data (k is zero or more integers) about $2k+2$ and $2k+3$ source signal line interchange, and the digital video signal inputted from the latch 2 section is inputted into the P/S conversion circuit C. By this, the P/S conversion circuit C will output only the data information about the odd-numbered source signal line or the even-numbered source signal line to each D/A conversion circuit. Each D/A conversion circuit drives the source signal line of either the oddth or even-numbered one reflecting this. Therefore, as shown by drawing 22, in case it inputs into the P/S conversion circuit C mentioned above among the outputs of a source line selection circuitry, it changes once again about what replaced data, and it enables it to write data in a suitable source signal line.

[0165] In addition, the P/S conversion circuit C consists of NAND circuits, as shown in drawing 23 (C).

[0166] Paying attention to the part which drives the 1st - the 4th source signal line (SL1-SL4), signal actuation timing is shown in drawing 24. As drawing 22 shows, the P/S conversion circuit C, a D/A conversion circuit, and two source line selection circuitries C exist in the part which drives these four source signal lines, respectively. In order to distinguish these, below, one side is described as the left-hand side P/S conversion circuit C, and another side is described as the right-hand side P/S conversion circuit C etc. Speaking of left-hand side ..., it is the corresponding circuit which is located in the leftmost in drawing 22.

[0167] In the 1st period which divided 1 gate signal line selection period into two, SS1 is made into Hi level and the left-hand side P/S conversion circuit C outputs the digital video signal of the 1st source signal line SL 1 to a left-hand side D/A conversion circuit. At this time, the right-hand side P/S conversion circuit C outputs the digital video signal of the 2nd source signal line SL 2 to a right-hand side D/A conversion circuit. In the 2nd period, SS2 is made into Hi level and the left-hand side P/S conversion circuit C outputs the digital video signal of the 3rd source signal line SL 3 to a left-hand side D/A conversion circuit. At this time, the right-hand side P/S conversion circuit C outputs the digital video signal of the 4th source signal line SL 4 to a right-hand side D/A conversion circuit. The output of the left-hand side P/S conversion circuit C was shown in D 0_1 of drawing 24, D 1_1, and D 2_1, and the output of the right-hand side P/S conversion circuit C was shown in D 0_2 of drawing 24, D 1_2, and D 2_2. As mentioned above, $D_i[s, g]$ shows the bit data of eye $2i+1$ watch to the pixel of the s-th line of g lines.

[0168] The P/S conversion circuit C in connection with the source signal line (SL5-SL8, SL9-SL12, ...) of others [actuation / same] is also performed in parallel.

[0169] A D/A conversion circuit uses the same thing as the examples 1-6 shown by drawing 16. As shown in drawing 22, Vref1_L and Vref1_H whose D/A conversion circuit which drives the odd-numbered source signal line is the gradation power-source line of the 1st line are connected, and Vref2_L and Vref2_H whose D/A conversion circuit which drives the even-numbered source signal line is the gradation power-source line of the 2nd line are connected.

[0170] The output of a D/A conversion circuit is connected to a suitable source signal line via the source line selection circuitry C. The example of circuitry of the source line selection circuitry C is shown in drawing 23 (D). The source line selection circuitry C consists of the two transfer gates (switch), and

selection signals SS1 and SS2 and those reversal signals are inputted into each gate. If the signal actuation timing of drawing 24 is followed, a switch sw1 will be turned on at the 1st period which divided 1 gate signal line selection period into two, and the left-hand side source line selection circuitry C will write the output of a left-hand side D/A conversion circuit in the 1st source signal line SL 1. At this time, the right-hand side source line selection circuitry C writes the output of a right-hand side D/A conversion circuit in the 2nd source signal line SL 2. Turning on a switch sw2 at the 2nd period which divided 1 gate signal line selection period into two, the left-hand side source line selection circuitry C writes the output of a left-hand side D/A conversion circuit in the 3rd source signal line SL 3. At this time, the right-hand side source line selection circuitry C writes the output of a right-hand side D/A conversion circuit in the 4th source signal line SL 4. Such writing is performed in parallel also to other source signal lines.

[0171] The example of an input of four supply voltage, gradation power-source line Vref1_L in the case of performing a source line reversal drive, Vref1_H, Vref2_L, and Vref2_H, is indicated to be drawing 24 (A) to (B). Drawing 24 (B) shows the supply voltage of gradation power-source line Vref1_L in the frame [degree] period at the time of the gradation power-source line input shown by drawing 24 (A), Vref1_H, Vref2_L, and Vref2_H, and has a reversal relation with drawing 24 (A) here.

[0172] In addition, in this example, as an electrical-potential-difference value of a gradation power-source line, 2_L shall take Vref1_L, Vref -1, and +1V, and 2_H shall take Vref1_H, Vref -5, and +5V. When the combination of the electrical-potential-difference value of a gradation power-source line is {Vrefx_L=-1V, Vrefx_H=-5V (x= 1 or 2)} The output of a D/A conversion circuit is the minus polarity of -1V--5V, and the output of a D/A conversion circuit will take the plus polarity of +1V-+5V at the time of {Vrefx_L=+1V, Vrefx_H=+5V (x= 1 or 2)}. Unlike examples 1-6, in source line reversal, the polarity of the supply voltage of a gradation power-source line is regularity during an one-frame period.

[0173] By the above approach, the source line reversal drive shown by drawing 12 (A) is attained.

[0174] Moreover, the example of an input of four supply voltage, gradation power-source line Vref1_L in the case of performing a dot reversal drive, Vref1_H, Vref2_L, and Vref2_H, is indicated to be drawing 24 (C) to (D). Drawing 24 (D) shows the supply voltage of gradation power-source line Vref1_L in the frame [degree] period at the time of the gradation power-source line input shown by drawing 24 (C), Vref1_H, Vref2_L, and Vref2_H, and has a reversal relation with drawing 24 (C). The polarity reversals of the supply voltage of a gradation power-source line are performed for every 1 gate signal line selection period.

[0175] By carrying out like this, the dot reversal drive shown by drawing 12 (B) is attained.

[0176] In addition, although the selection signals SS1 and SS2 inputted into the P/S conversion circuit C and the source line selection circuitry C also in this example were the same, it is good also as another network respectively.

[0177] Moreover, although the circuit drive power source supplied to a source signal-line drive circuit also in this example assumed one line, it may be made into two or more lines, and may insert a level-shifter circuit in a required part.

[0178] By [example 8] this example, TFT of the drive circuits (a source signal-line drive circuit, gate signal line drive circuit, etc.) prepared around a picture element part is explained to a detail as the pixel TFT which is the switching element of a picture element part according to a process about how to produce on the same substrate as an example of the creation approach of the active matrix liquid crystal indicating equipment explained in the examples 1-7. However, in order to simplify explanation, the CMOS circuit which is the basic component circuit as the drive circuit section is made to illustrate the n channel mold TFT as a pixel TFT section.

[0179] In drawing 25 (A), a glass-with-low-alkali-content substrate and a quartz substrate can be used for a substrate (active-matrix substrate) 6001. In this example, the glass-with-low-alkali-content substrate was used. In this case, you may heat-treat beforehand at temperature lower about 10-20 degrees C than the point [distortion / glass]. In order to prevent the impurity diffusion from a substrate 6001, the substrate film 6002, such as an oxidation silicone film, a silicon nitride film, or an oxidation silicon nitride film, is formed in the front face which forms TFT of this substrate 6001. For example,

laminating formation of SiH_4 , NH_3 , and the oxidation silicon nitride film similarly produced from SiH_4 and N_2O 100nm in the oxidation silicon nitride film produced from N_2O is carried out by the plasma-CVD method at the thickness of 200nm.

[0180] Next, semi-conductor film 6003a which has amorphous structure by the thickness of 20-150nm (preferably 30-80nm) is formed by well-known approaches, such as a plasma-CVD method and a sputter. In this example, the amorphous silicone film was formed in the thickness of 54nm by the plasma-CVD method. As semi-conductor film which has amorphous structure, there are amorphous semiconductor film and microcrystal semi-conductor film, and the compound semiconductor film which has the amorphous structure of the amorphous silicon germanium film etc. may be applied. Moreover, since the substrate film 6002 and amorphous silicone film 6003a can be formed by the same forming-membranes method, continuation formation of both may be carried out. In that case, after forming the substrate film, by once not exposing to an atmospheric-air ambient atmosphere, it can become possible to prevent contamination of the front face, and the fluctuation of the property variation of TFT or a threshold electrical potential difference to produce can be reduced ([drawing 25 \(A\)](#)).

[0181] And crystalline substance silicone film 6003b is formed from amorphous silicone film 6003a using a well-known crystallization technique. For example, although what is necessary is just to have applied the laser crystallizing method and the heat crystallizing method (solid phase grown method), according to the technique indicated by JP,7-130652,A, crystalline substance silicone film 6003b was formed by the crystallizing method using a catalyst element here. Although based also on the amount of content hydrogen of an amorphous silicone film in advance of the process of crystallization, it is desirable to make it crystallize, after performing heat treatment of about 1 hour at 400-500 degrees C and making the amount of content hydrogen into less than [5atom%]. Since an atomic rearrangement will happen and eburnation will be carried out if an amorphous silicone film is crystallized, the thickness of the crystalline substance silicone film produced decreases about 1 to 15% rather than the thickness (this example 54nm) of the amorphous silicone film of the beginning ([drawing 25 \(B\)](#)).

[0182] And pattern NINGU of the crystalline substance silicone film 6003b is carried out at island shape, and the island-shape semi-conductor layers 6004-6007 are formed. Then, the mask layer 6008 by the oxidation silicone film with a thickness of 50-150nm is formed by the plasma-CVD method or the sputter. ([Drawing 25 \(C\)](#)).

[0183] And the resist mask 6009 is formed and boron (B) is added as an impurity element which gives p mold all over the island-shape semi-conductor layers 6005-6007 which will form the n channel mold TFT by 1×10^{16} - about three 5×10^{17} atoms/cm concentration. Addition of this boron (B) is made in order to control a threshold electrical potential difference. Addition of boron (B) may be carried out by the ion doping method, and when forming an amorphous silicone film, it can also be added to coincidence. Boron (B) addition here is not necessarily required ([drawing 25 \(D\)](#)). Then, the resist mask 6009 is removed.

[0184] In order to form the LDD field of the n channel mold TFT of a drive circuit, the impurity element which gives n mold is alternatively added in the island-shape semi-conductor layers 6010-6012.

Therefore, the resist masks 6013-6016 are formed beforehand. As an impurity element which gives n mold, the ion doping method using phosphoretted hydrogen (PH_3) was applied [that what is necessary is just to use Lynn (P) and arsenic (As)] that Lynn (P) should be added here. What is necessary is just to let Lynn (P) concentration of the formed impurity ranges 6017 and 6018 be the range of 2×10^{16} - 5×10^{19} atoms/cm³. In this specification, the concentration of the impurity element which gives n mold contained in the impurity ranges 6017-6019 formed here is expressed as (n-). Moreover, an impurity range 6019 is a semi-conductor layer for forming the retention volume of a picture element part, and adds Lynn (P) by the same concentration also as this field ([drawing 26 \(A\)](#)). Then, the resist masks 6013-6016 are removed.

[0185] Next, after fluoric acid etc. removes the mask layer 6008, the process which activates the impurity element added by [drawing 25 \(D\)](#) and [drawing 26 \(A\)](#) is performed. Activation can be performed by heat treatment of 1 - 4 hours, and the approach of laser activation in 500-600-degree C nitrogen-gas-atmosphere mind. Moreover, you may carry out by using both together. The approach of

laser activation is used in this example. KrF excimer laser light (wavelength of 248nm) is used for laser light. this example -- the configuration of laser light -- a line -- a beam -- processing it -- using -- as the oscillation frequency of 5-50Hz, an energy density 100 - 500 mJ/cm² -- a line -- the whole substrate surface in which the island-shape semi-conductor layer was formed is processed by scanning the overlap rate of a beam at 80 - 98%. In addition, there is no matter limited to the exposure conditions of laser light in any way, and it can make a **** decision.

[0186] And gate dielectric film 6020 is formed by the insulator layer which contains silicon by the thickness of 10-150nm using a plasma-CVD method or a spatter. For example, an oxidation silicon nitride film is formed by the thickness of 120nm. The insulator layer containing other silicon may be used for gate dielectric film as a monolayer or a laminated structure. (Drawing 26 (B))

[0187] Next, in order to form a gate electrode, the 1st conductive layer is formed. Although this 1st conductive layer may be formed by the monolayer, it is good also as laminated structures according to the need, such as a bilayer or three layers. this example -- **** -- conductivity -- a nitride -- a metal membrane -- from -- changing -- a conductive layer -- (-- A --) -- 6021 -- a metal membrane -- from -- changing -- a conductive layer -- (-- B --) -- 6022 -- a laminating -- carrying out -- having made . A conductive layer (B) 6022 A tantalum (Ta), titanium (Ti), molybdenum (Mo), In the alloy which uses as a principal component the element chosen from the tungsten (W), or said element A conductive layer (A) 6021 is formed with tantalum nitride (Ta₂N₃), a nitriding tungsten (WN), the titanium nitride (TiN) film, and nitriding molybdenum (MoN) that what is necessary is just to form by the alloy film (typically Mo-W alloy film, Mo-Ta alloy film) which combined said element. Moreover, a conductive layer (A) 6021 may apply tungsten silicide, titanium silicide, and molybdenum silicide as alternate material. A conductive layer (B) is good to reduce the high impurity concentration contained in order to attain low resistance-ization, and good to be referred to as 30 ppm or less especially about an oxygen density. For example, a tungsten (W) can realize resistivity of 20 or less microhm-cm by setting an oxygen density to 30 ppm or less.

[0188] A conductive layer (A) 6021 sets to 10-50nm (preferably 20-30nm), and should just set a conductive layer (B) 6022 to 200-400nm (preferably 250-350nm). In this example, 350nm Ta film was used for the conductive layer (B) 6022, and all formed the tantalum nitride film with a thickness of 30nm in the conductive layer (A) 6021 by the spatter. In membrane formation by this spatter, if Xe and Kr of optimum dose are added to Ar of the gas for spatters, the internal stress of the film to form can be eased and exfoliation of the film can be prevented. In addition, although not illustrated, it is effective to form in the bottom of a conductive layer (A) 6021 the silicone film which doped Phosphorus (P) by the thickness of about 2-20nm. While this plans the improvement in adhesion of the electric conduction film and antioxidizing which are formed on it, it can prevent spreading the alkali metals which a conductive layer (A) or a conductive layer (B) contains in a minute amount in gate dielectric film 6020 (drawing 26 (C)).

[0189] next -- a resist -- a mask -- 6023 - 6027 -- forming -- a conductive layer -- (-- A --) -- 6021 -- a conductive layer -- (-- B --) -- 6022 -- a package -- etching -- the gate electrodes 6028-6031 and the capacity wiring 6032 -- forming . 6028a-6032a to which the gate electrodes 6028-6031 and the capacity wiring 6032 change from a conductive layer (A), and 6028b-6032b which consist of a conductive layer (B) are formed as one. At this time, the gate electrodes 6028-6030 of TFT which constitutes a drive circuit are formed so that it may lap through gate dielectric film 6020 with a part of impurity ranges 6017 and 6018 (drawing 26 (D)).

[0190] Subsequently, in order to form the source field and drain field of the p channel mold TFT of a drive circuit, the process which adds the impurity element which gives p mold is performed. Here, an impurity range is formed in self align by using the gate electrode 6028 as a mask. At this time, the field in which the n channel mold TFT is formed is covered with the resist mask 6033. And the impurity range 6034 was formed by the ion doping method using diboron hexahydride (B₂H₆). It is made for the boron (B) concentration of this field to serve as 3x10²⁰ - 3x10²¹ atoms/cm³. Then, the resist mask 6033 is removed. In this specification, the concentration of the impurity element which gives p mold contained in the impurity range 6034 formed here is expressed as (p++) (drawing 27 (A)).

[0191] Next, in the n channel mold TFT, the impurity range which functions as a source field or a drain field was formed. The masks 6035-6037 of a resist were formed, the impurity element which gives n mold was added and impurity ranges 6038-6042 were formed. This was performed by the ion doping method for having used phosphoretted hydrogen (PH₃), and made Lynn (P) concentration of this field 1x10²⁰ - 1x10²¹ atoms/cm³. In this specification, the concentration of the impurity element which gives n mold contained in the impurity ranges 6038-6042 formed here is expressed as (n+) (drawing 27 (B)).

[0192] Lynn already added at the last process by impurity ranges 6039-6042 -- although (P) or boron (B) is contained -- it -- comparing -- concentration high enough -- Lynn -- Lynn added at the last process since (P) was added -- it is not necessary to consider the effect of (P) or boron (B) Moreover, since it was 1 / 2 - 1/3 of boron (B) concentration added by drawing 27 (A), the conductivity of p mold was secured, and the Lynn (P) concentration added by the impurity range 6038 did not affect the property of TFT at all.

[0193] After removing the resist masks 6035-6037, the process of the impurity addition which gives n mold for forming the LDD field of the n channel mold TFT of a picture element part was performed. Here, the impurity element which gives n mold in self align by using the gate electrode 6031 as a mask was added by the ion doping method. The concentration of Lynn (P) to add is 1x10¹⁶ - 5x10¹⁸ atoms/cm³, rather than the concentration of the impurity element added by drawing 26 (A) and drawing 27 (A), and drawing 27 (B), it is adding by low concentration and only impurity ranges 6043 and 6044 are formed substantially. the concentration of the impurity element which gives n mold contained in these impurity ranges 6043 and 6044 by this detail letter -- (-- n --) -- ** -- it expresses. (Drawing 27 (C))

[0194] Then, in order to activate the impurity element which gives n mold or p mold added by each concentration, a heat treatment process is performed. This process can be performed by the furnace annealing method, the laser annealing method, or the rapid thermal annealing method (RTA law). Here, the activation process was performed by the furnace annealing method. An oxygen density performs preferably 1 ppm or less of 400-800 degrees C of heat treatments at 500-600 degrees C typically in nitrogen-gas-atmosphere mind 0.1 ppm or less, and heat treatment of 4 hours was performed at 500 degrees C at this example. Moreover, when what has thermal resistance like a quartz substrate is used for a substrate 6001, it is good also as heat treatment of 1 hour at 800 degrees C, and junction to activation of an impurity element, and the impurity range and channel formation field where this impurity element was added can be formed good. In addition, this effectiveness may not be acquired when an interlayer film is formed, in order to prevent peeling of Ta which is an above-mentioned gate electrode.

[0195] In this heat treatment, as for the metal membranes 6028b-6032b which form the gate electrodes 6028-6031 and the capacity wiring 6032, (conductive layer C) 6028c-6032c is formed by the thickness of 5-80nm from a front face. For example, when (conductive layer B) 6028b-6032b is a tungsten (W), a nitriding tungsten (WN) is formed, and when it is a tantalum (Ta), tantalum nitride (TaN) can be formed. Moreover, (conductive layer C) 6028c-6032c can be similarly formed, even if it exposes the gate electrodes 6028-6031 and the capacity wiring 6032 to the plasma ambient atmosphere containing the nitrogen which used nitrogen or ammonia. Furthermore, in the ambient atmosphere containing 3 - 100% of hydrogen, heat treatment of 1 - 12 hours was performed at 300-450 degrees C, and the process which hydrogenates an island-shape semi-conductor layer was performed. This process is a process which carries out termination of the dangling bond of a semi-conductor layer by the hydrogen excited thermally. As other means of hydrogenation, plasma hydrogenation (the hydrogen excited by the plasma and the plasma-ized hydrogen are used) may be performed.

[0196] When an island-shape semi-conductor layer was produced by the approach of crystallization using a catalyst element from an amorphous silicone film, the catalyst element of a minute amount remained in the island-shape semi-conductor layer. Of course, although it is possible to complete TFT also in such the condition, it was more more desirable to remove the catalyst element which remains from a channel formation field at least. There was a means to use the gettering operation by Lynn (P) for

one of the means which removes this catalyst element. Gettering of the catalyst element was able to be carried out from the channel formation field of the n channel mold TFT and the p channel mold TFT by heat treatment of the activation process which is comparable as the impurity range (n+) formed by drawing 27 (B) as for the concentration of Lynn (P) required for gettering, and is carried out here (drawing 27 (D)).

[0197] If the process of activation and hydrogenation is completed, the 2nd electric conduction film considered as gate wiring (gate signal line) will be formed. This 2nd electric conduction film is good to form the aluminum (aluminum) which is low electrical resistance materials, and copper (Cu) by the conductive layer (E) which changes from titanium (Ti), a tantalum (Ta), a tungsten (W), and molybdenum (Mo) to the conductive layer (D) used as a principal component. In this example, the 0.1 - aluminum (aluminum) film included 2% of the weight was made into the conductive layer (D) 6045 for titanium (Ti), and the titanium (Ti) film was formed as a conductive layer (E) 6046. a conductive layer (D) 6045 -- 200-400nm (preferably 250-350nm) -- then, what is necessary is to be good and just to form a conductive layer (E) 6046 by 50-200 (preferably 100-150nm) (Drawing 28 (A))

[0198] and -- the gate -- an electrode -- connecting -- the gate -- wiring (gate signal line) -- forming -- a sake -- a conductive layer -- (-- E --) -- 6046 -- a conductive layer -- (-- D --) -- 6045 -- etching processing -- carrying out -- the gate wiring (gate signal line) 6047 and 6048 and the capacity wiring 6049 -- having formed . By removing from the front face of a conductive layer (E) to the middle of a conductive layer (D) by the dry etching method which used the mixed gas of SiCl₄, and Cl₂ and BCl₃ first, and removing a conductive layer (D) by the wet etching by the etching solution of a phosphoric-acid system after that, etching processing was able to maintain selection workability with a substrate, and was able to form gate wiring (gate signal line).

[0199] The 1st interlayer insulation film 6050 is formed with an oxidation silicone film or an oxidation silicon nitride film by the thickness of 500-1500nm, after that, forms the contact hole which arrives at the source field or drain field formed in each island-shape semi-conductor layer, and forms source wiring (source signal line) 6051-6054 and the drain wiring 6055-6058. Although not illustrated, in this example, it considered as the cascade screen of the three-tiered structure which formed continuously 300nm of aluminum film which contains [this electrode] 100nm and Ti for Ti film, and 150nm of Ti film by the spatter.

[0200] Next, a silicon nitride film, an oxidation silicone film, or a nitriding oxidation silicone film is formed as passivation film 6059 by the thickness of 50-500nm (typically 100-300nm). When the hydrogen treating was performed in this condition, the desirable result was obtained to the improvement in a property of TFT. For example, the same effectiveness was acquired, even if it was good to have performed heat treatment of 1 - 12 hours at 300-450 degrees C or it used the plasma hydrogenating method in the ambient atmosphere containing 3 - 100% of hydrogen. In addition, opening may be formed in the passivation film 6059 in the location which forms the contact hole for connecting drain wiring with a pixel electrode behind here. (Drawing 28 (C))

[0201] Then, the 2nd interlayer insulation film 6060 which consists of organic resin is formed in the thickness of 1.0-1.5 micrometers. As organic resin, polyimide, an acrylic, a polyamide, polyimidoamide, BCB (benz-cyclo-butene), etc. can be used. Here, it calcinated and formed at 300 degrees C after applying to a substrate using the polyimide of the type which carries out thermal polymerization. And the contact hole which reaches the drain wiring 6058 is formed in the 2nd interlayer insulation film 6060, and the pixel electrodes 6061 and 6062 are formed. That what is necessary is just to use the transparence electric conduction film in considering as a transparency mold liquid crystal display, when making it into the liquid crystal display of a reflective mold, a metal membrane should just be used for a pixel electrode. At this example, in order to consider as the liquid crystal display of a transparency mold, the indium oxide tin (ITO) film was formed in the thickness of 100nm by the spatter. (Drawing 29)

[0202] In this way, on the same substrate, the substrate with TFT of a drive circuit and the pixel TFT of a picture element part was able to be completed. A pixel TFT6104 and retention volume 6105 formed in the drive circuit at the p channel mold TFT6101, the 1st n channel mold TFT6102, the 2nd n channel mold TFT6103, and a picture element part. On these specifications, such [for convenience] a substrate

is called a active-matrix substrate.

[0203] It has the channel formation field 6106, the source fields 6107a and 6107b, and the drain fields 6108a and 6108b in the island-shape semi-conductor layer 6004 at the p channel mold TFT6101 of a drive circuit. It has the channel formation field 6109, the LDD field 6110 (such a LDD field is henceforth described as Lov) which laps with the gate electrode 6029, the source field 6111, and the drain field 6112 in the island-shape semi-conductor layer 6005 at the 1st n channel mold TFT6102. 0.5-3.0 micrometers of channel length lay length of this Lov field were preferably set to 1.0-1.5 micrometers. It has the channel formation field 6113, the LDD fields 6114 and 6115, the source field 6116, and the drain field 6117 in the island-shape semi-conductor layer 6006 at the 2nd n channel mold TFT6103. The LDD field (such a LDD field is henceforth described as Loff) where this LDD field does not lap with a Lov field and the gate electrode 6030 is formed, and 0.3-2.0 micrometers of channel length lay length of this Loff field are 0.5-1.5 micrometers preferably. It has the channel formation fields 6118 and 6119, the Loff fields 6120-6123, the source, or the drain fields 6124-6126 in the island-shape semi-conductor layer 6007 at the pixel TFT6104. 0.5-3.0 micrometers of channel length lay length of a Loff field are 1.5-2.5 micrometers preferably. Furthermore, it connects with the capacity wiring 6032 and 6049, and gate dielectric film and the insulator layer which consists of the same ingredient to the drain field 6126 of a pixel TFT6104, and retention volume 6105 is formed from the semi-conductor layer 6127 by which the impurity element which gives n mold was added. Although the pixel TFT6104 was made into double-gate structure in drawing 29, single gate structure is sufficient and it does not interfere as multi-gate structure where two or more gate electrodes were prepared.

[0204] As mentioned above, by this example, the structure of TFT which constitutes each circuit according to the specification which Pixel TFT and a drive circuit require can be optimized, and it can make it possible to raise the engine performance of operation and dependability of an image display device.

[0205] Next, the process which produces a transparency mold liquid crystal display is explained based on the active-matrix substrate produced by the above-mentioned process.

[0206] Drawing 30 is referred to. The orientation film 6201 is formed in the active-matrix substrate of the condition of drawing 29. Polyimide was used for the orientation film 6201 in this example. Next, an opposite substrate is prepared. An opposite substrate consists of the counterelectrodes 6204 and the orientation film 6205 which consist of a glass substrate 6202, a light-shielding film 6203, and transperance electric conduction film.

[0207] In addition, in this example, polyimide film in which a liquid crystal molecule carries out orientation in parallel to a substrate was used for the orientation film. In addition, it was made to carry out parallel orientation by performing rubbing processing with the fixed pre tilt angle with a liquid crystal molecule after orientation film formation.

[0208] Next, the active-matrix substrate and opposite substrate which passed through the above-mentioned process are stuck through a sealant, a spacer (not shown [both]), etc. according to a well-known cel **** process. Then, liquid crystal 6206 is poured in among both substrates, and it closes completely with encapsulant (not shown). Therefore, a transparency mold liquid crystal display as shown in drawing 30 is completed.

[0209] In addition, although TFT created by the above-mentioned stroke is top gate structure, this invention may be applied also to TFT of bottom gate structure, or TFT of other structures.

[0210] Moreover, although the display created by the above-mentioned stroke is a liquid crystal display of a transparency mold, this invention may be applied also to the liquid crystal display of a reflective mold.

[0211] Moreover, this invention may be applied also to the luminescence equipment which is a spontaneous light type display which used luminescent material instead of the liquid crystal ingredient.

[0212] [Example 9] this example explains the example of production at the time of applying to luminescence equipment instead of the active matrix liquid crystal display explained in the examples 1-7.

[0213] A-A which drawing 31 (A) is the plan of the luminescence equipment which applied this

invention, and showed drawing 31 (B) to drawing 31 (A) -- ' -- it is the sectional view of the cut luminescence equipment. In drawing 31 (A), for 4010, as for a picture element part and 4012, a substrate and 4011 are [a source signal-line drive circuit and 4013] gate signal line drive circuits, and each drive circuit results in FPC4017 through wiring 4014-4016, and is connected to an external instrument.

[0214] this time -- at least -- a picture element part -- as a drive circuit and a picture element part are surrounded preferably, the covering material 4600, a sealing material (it is also called housing material) 4100, and sealant (the 2nd sealing material) 4101 are formed.

[0215] Moreover, as shown in drawing 31 (B), TFT4022 for drive circuits (however, the CMOS circuit which combined the n channel mold TFT and the p channel mold TFT here is illustrated.), and TFT4023 (however, only TFT which controls the current to a light emitting device here is illustrated.) for picture element parts are formed on a substrate 4010 and the substrate film 4021. These TFT(s) should just use well-known structure (top gate structure or bottom gate structure).

[0216] If TFT4022 for drive circuits and TFT4023 for picture element parts are completed using the well-known production approach, the pixel electrode 4027 which becomes by the transparence electric conduction film electrically connected with the drain of TFT4023 for picture element parts will be formed on the interlayer insulation film (flattening film) 4026 which becomes with a resin ingredient. As transparence electric conduction film, the compound (referred to as ITO) of indium oxide and the tin oxide or the compound of indium oxide and a zinc oxide can be used. And if the pixel electrode 4027 is formed, an insulator layer 4028 will be formed and opening will be formed on the pixel electrode 4027.

[0217] Next, a luminous layer 4029 is formed. A luminous layer 4029 should just be taken as a laminated structure or monolayer structure, combining freely a well-known luminescent material (a hole injection layer, an electron hole transportation layer, a luminous layer, an electronic transportation layer, or electronic injection layer). As what kind of structure it considers should just use a well-known technique. Moreover, there are a low-molecular system ingredient and a macromolecule system (polymer system) ingredient in luminescent material. When using a low-molecular system ingredient, vacuum deposition is used, but when using a giant-molecule system ingredient, it is possible to use simple approaches, such as a spin coat method, print processes, or the ink jet method.

[0218] In this example, a luminous layer is formed with vacuum deposition using a shadow mask. By forming the luminous layer (a red luminous layer, a green luminous layer, and blue luminous layer) in which luminescence from which wavelength differs for every pixel using a shadow mask is possible, color display becomes possible. In addition, which approach may be used although there are a method which combined the color conversion layer (CCM) and the color filter, and a method which combined the white luminous layer and the color filter. Of course, it can also consider as the luminescence equipment of monochrome luminescence.

[0219] If a luminous layer 4029 is formed, cathode 4030 will be formed on it. As for the moisture which exists in the interface of cathode 4030 and a luminous layer 4029, or oxygen, eliminating as much as possible is desirable. Therefore, the device of forming cathode 4030 without carrying out continuation membrane formation of a luminous layer 4029 and the cathode 4030 in a vacuum, or forming a luminous layer 4029 by the inert atmosphere and carrying out atmospheric-air release is required. At this example, the above membrane formation is enabled by using the membrane formation equipment of a multi chamber method (cluster tool method).

[0220] In addition, in this example, the laminated structure of the LiF (lithium fluoride) film and aluminum (aluminum) film is used as cathode 4030. The LiF (lithium fluoride) film of 1nm thickness is specifically formed with vacuum deposition on a luminous layer 4029, and the aluminum film of 300nm thickness is formed on it. Of course, the MgAg electrode which is a well-known cathode material may be used. And cathode 4030 is connected to wiring 4016 in the field shown by 4031. Wiring 4016 is a current supply line for giving a predetermined electrical potential difference to cathode 4030, and is connected to FPC4017 through the conductive paste ingredient 4032.

[0221] In order to connect cathode 4030 and wiring 4016 electrically in the field shown in 4031, it is necessary to form a contact hole in an interlayer insulation film 4026 and an insulator layer 4028. What is necessary is just to form these at the time of etching of an interlayer insulation film 4026, and etching

of an insulator layer 4028 (at the time of formation of the contact hole for pixel electrodes) (at the time of formation of opening before luminous layer formation). Moreover, in case an insulator layer 4028 is etched, even an interlayer insulation film 4026 may etch by package. In this case, if an interlayer insulation film 4026 and an insulator layer 4028 are the same resin ingredients, the configuration of a contact hole can be made good.

[0222] Thus, the front face of the formed light emitting device is covered, and the passivation film 4603, a filler 4604, and the covering material 4600 are formed.

[0223] Furthermore, as the light emitting device section is surrounded, a sealing material 4100 is formed inside the covering material 4600 and a substrate 4010, and sealant (the 2nd sealing material) 4101 is further formed in a sealing material's 4100 outside.

[0224] At this time, this filler 4604 functions also as adhesives for pasting up the covering material 4600. As a filler 4604, PVC (polyvinyl chloride), an epoxy resin, silicone resin, and PVB (polyvinyl BUCHIRARU) or EVA (ethylene vinyl acetate) can be used. If the drying agent is prepared in the interior of this filler 4604, since the moisture absorption effectiveness can be held, it is desirable.

[0225] Moreover, a spacer may be made to contain in a filler 4604. At this time, a spacer may be used as the particulate matter which consists of BaO etc., and hygroscopicity may be given to the spacer itself.

[0226] When a spacer is formed, the passivation film 4603 can ease spacer **. Moreover, the resin film which eases spacer ** may be prepared apart from the passivation film.

[0227] Moreover, as covering material 4600, a glass plate, an aluminum plate, a stainless plate, an FRP (Fiberglass-Reinforced Plastics) plate, a PVF (polyvinyl fluoride) film, a Mylar film, polyester film, or an acrylic film can be used. In addition, when using PVB and EVA as a filler 4604, it is desirable to use the sheet of the structure which sandwiched dozens of micrometers aluminium foil with the PVF film or the Mylar film.

[0228] However, depending on the luminescence direction (the direction of a light emission) from a light emitting device, the covering material 4600 needs to have translucency.

[0229] Moreover, wiring 4016 is electrically connected to FPC4017 through the clearance between a sealing material 4100 and sealant 4101, and a substrate 4010. In addition, although wiring 4016 was explained here, other wiring 4014 and 4015 is similarly connected to FPC4017 electrically through the bottom of a sealing material 4100 and sealant 4101.

[0230] in addition -- since a filler 4604 is formed in this example -- the covering material 4600 -- pasting up -- the side face (disclosure side) of a filler 4604 -- a wrap -- although the sealing material 4100 is attached like, a filler 4604 may be formed after attaching the covering material 4600 and a sealing material 4100. In this case, the inlet of the filler which leads to the opening currently formed with a substrate 4010, the covering material 4600, and a sealing material 4100 is prepared. And said opening is made into a vacua (10 to 2 or less Torrs), and after dipping an inlet in the tank which is in close [of a filler], the atmospheric pressure outside an opening is made higher than the atmospheric pressure in an opening, and it is filled up with a filler into an opening.

[0231] [Example 10] this example explains the example which produced the luminescence equipment of a gestalt which is different in an example 9 using this invention using drawing 32 (A) and 32 (B). Since the thing of the same number as drawing 31 (A) and 31 (B) has pointed out the same part, explanation is omitted.

[0232] Drawing 32 (A) is the plan of the luminescence equipment of this example, and shows the sectional view which cut drawing 32 (A) by A-A' to drawing 32 (B).

[0233] According to an example 9, the front face of a light emitting device is covered and even the passivation film 4603 is formed.

[0234] Furthermore, a filler 4604 is formed as a light emitting device is covered. This filler 4604 functions also as adhesives for pasting up the covering material 4600. As a filler 4604, PVC (polyvinyl chloride), an epoxy resin, silicone resin, and PVB (polyvinyl BUCHIRARU) or EVA (ethylene vinyl acetate) can be used. If the drying agent is prepared in the interior of this filler 4604, since the moisture absorption effectiveness can be held, it is desirable.

[0235] Moreover, a spacer may be made to contain in a filler 4604. At this time, a spacer may be used as

the particulate matter which consists of BaO etc., and hygroscopicity may be given to the spacer itself. [0236] When a spacer is formed, the passivation film 4603 can ease spacer **. Moreover, the resin film which eases spacer ** may be prepared apart from the passivation film.

[0237] Moreover, as covering material 4600, a glass plate, an aluminum plate, a stainless plate, an FRP (Fiberglass-Reinforced Plastics) plate, a PVF (polyvinyl fluoride) film, a Mylar film, polyester film, or an acrylic film can be used. In addition, when using PVB and EVA as a filler 4604, it is desirable to use the sheet of the structure which sandwiched dozens of micrometers aluminium foil with the PVF film or the Mylar film.

[0238] However, depending on the luminescence direction (the direction of a light emission) from a light emitting device, the covering material 4600 needs to have translucency.

[0239] next, the side face (disclosure side) of the filler 4604 after pasting up the covering material 4600 using a filler 4604 -- a wrap -- a frame material 4601 is attached like. A frame material 4601 is pasted up with a sealing material (it functions as adhesives) 4602. Although it is desirable at this time to use a photo-setting resin as a sealing material 4602, thermosetting resin may be used as long as the thermal resistance of a luminous layer allows. In addition, as for a sealing material 4602, it is desirable that it is the ingredient which penetrates neither moisture nor oxygen as much as possible. Moreover, the drying agent may be added inside the sealing material 4602.

[0240] Moreover, wiring 4016 is electrically connected to FPC4017 through the clearance between a sealing material 4602 and a substrate 4010. In addition, although wiring 4016 was explained here, other wiring 4014 and 4015 is similarly connected to FPC4017 electrically through the bottom of a sealing material 4602.

[0241] in addition -- since a filler 4604 is formed in this example -- the covering material 4600 -- pasting up -- the side face (disclosure side) of a filler 4604 -- a wrap -- although the frame material 4601 is attached like, a filler 4604 may be formed after attaching the covering material 4600 and a frame material 4601. In this case, the inlet of the filler which leads to the opening currently formed with a substrate 4010, the covering material 4600, and a frame material 4601 is prepared. And said opening is made into a vacua (10 to 2 or less Torrs), and after dipping an inlet in the tank which is in close [of a filler], the atmospheric pressure outside an opening is made higher than the atmospheric pressure in an opening, and it is filled up with a filler into an opening.

[0242] [Example 11] Top-face structure is shown in drawing 34 (A), and here shows a circuit diagram for the still more detailed cross-section structure of the picture element part in luminescence equipment to drawing 33 at drawing 34 (B). What is necessary is just to refer to mutually in drawing 33, drawing 34 (A), and drawing 34 (B), since a common sign is used.

[0243] In drawing 33, TFT4502 for switching prepared on the substrate 4501 uses the n channel mold TFT formed by the well-known approach. Although considered as double-gate structure in this example, since there is no big difference in structure and a production process, explanation is omitted. However, it becomes the structure where the serial of the two TFT(s) was substantially carried out by considering as double-gate structure, and there is an advantage that an OFF state current value can be reduced. In addition, although considered as double-gate structure in this example, single gate structure is sufficient and multi-gate structure with triple gate structure or the gate number beyond it is sufficient. Moreover, you may form using the p channel mold TFT formed by the well-known approach.

[0244] Moreover, TFT4503 for current control uses the n channel mold TFT formed by the well-known approach. The source wiring (source signal line) of TFT4502 for switching is 34. And 35 which is drain wiring of TFT4502 for switching is electrically connected to the gate electrode 37 of TFT for current control by wiring 36. Moreover, wiring shown by 38 is gate wiring (gate signal line) which connects electrically the gate electrodes 39a and 39b of TFT4502 for switching.

[0245] Since TFT4503 for current control is a component which controls the amount of currents which flows a light emitting device, many currents flow and the danger of degradation by heat or degradation by the hot carrier is also a high component. Therefore, the structure of preparing a LDD field so that it may lap with a gate electrode through gate dielectric film at the drain side of TFT4503 for current control is very effective.

[0246] Moreover, although single gate structure is illustrating TFT4503 for current control in this example, it is good also as multi-gate structure where two or more TFT(s) were tied to the serial. Furthermore, it is good also as structure which ties two or more TFT(s) to juxtaposition, divides a channel formation field into plurality substantially, and enabled it to emit heat at high effectiveness. Such structure is effective as a cure against degradation by heat.

[0247] Moreover, as shown in drawing 34 (A), the wiring 36 used as the gate electrode 37 of TFT4503 for current control laps with the current supply line 4506 electrically connected with the drain wiring 40 of TFT4503 for current control through the insulator layer in the field shown by 4504. At this time, in the field shown by 4504, a capacitor is formed and it functions as retention volume for holding the electrical potential difference concerning the gate electrode 37 of TFT4503 for current control. Retention volume 4504 is formed between the insulator layer (not shown) of the same layer as the semiconductor film 4507 and gate dielectric film which were electrically connected with the current supply line 4506, and wiring 36. Moreover, the capacity formed by the same layer (not shown) as wiring 36 and the 1st interlayer insulation film and the current supply line 4506 can also be used as retention volume. In addition, the drain of TFT for current control is connected to the current supply line (power-source line) 4506, and the fixed electrical potential difference is always applied.

[0248] The 1st passivation film 41 is formed on TFT4502 for switching, and TFT4503 for current control, and the flattening film 42 which becomes by the resin insulator layer is formed on it. It is very important to carry out flattening of the level difference by TFT using the flattening film 42. Since the luminous layer formed behind is very thin, when a level difference exists, it may cause poor luminescence. Therefore, before forming a pixel electrode so that a luminous layer can be formed as much as possible in a flat side, it is desirable to carry out flattening.

[0249] Moreover, 43 is a pixel electrode (cathode of a light emitting device) which becomes by the reflexible high electric conduction film, and is electrically connected to the drain of TFT4503 for current control. as the pixel electrode 43 -- the aluminium alloy film, the copper alloy film, or the silver alloy film -- low -- it is desirable to use electric conduction [****] film or those cascade screens. Of course, it is good also as a laminated structure with other electric conduction film.

[0250] Moreover, a luminous layer 45 is formed into the slot (it is equivalent to a pixel) formed of the banks 44a and 44b formed by the insulator layer (preferably resin). In addition, in drawing 34 (A), in order to clarify the location of retention volume 4504, the bank is omitted in part and only Banks 44a and 44b are illustrated, but it is prepared between the current supply line 4506 and source wiring (source signal line) 34 so that the current supply line 4506 and source wiring (source signal line) 34 may be covered in part. Moreover, although only 2 pixels is illustrated here, the luminous layer corresponding to each color of R (red), G (green), and B (blue) may be made and divided. pi conjugation polymer system ingredient is used as an organic luminescent material made into a luminous layer. As a typical polymer system ingredient, a poly para-phenylene vinylene (PPV) system, a polyvinyl-carbazole (PVK) system, the poly fluorene system, etc. are mentioned.

[0251] In addition, what is necessary is just to use an ingredient which was indicated by "H.Shenk, H.Becker, O.Gelsen, E.Kluge, W.Kreuder, and H.Spreitzer, "Polymers forLight Emitting Diodes", Euro Display, Proceedings, 1999, p.33-37", and JP,10-92576,A, for example, although there is a thing of various molds as a PPV system organic luminescent material.

[0252] What is necessary is to use polyphenylene vinylene for cyano polyphenylene vinylene and the luminous layer which emits light green, and just to use polyphenylene vinylene or the poly alkyl phenylene for the luminous layer which emits light blue as a concrete luminous layer, at the luminous layer which emits light in red. thickness -- 30-150nm (preferably 40-100nm) -- then, it is good.

[0253] However, the above example is an example of an organic luminescent material which can be used as a luminous layer, and there is no need of limiting to this. What is necessary is just to form a luminous layer (layer for moving luminescence and the carrier for it), combining freely a luminous layer, a charge transportation layer, or a charge impregnation layer.

[0254] For example, although this example showed the example which uses a polymer system ingredient as a luminous layer, low-molecular system organic luminescent material may be used. Moreover, it is

also possible to use inorganic materials, such as silicon carbide, as a charge transportation layer or a charge impregnation layer. These organic luminescent material and inorganic materials can use a well-known ingredient.

[0255] In this example, it is considering as the luminous layer of the laminated structure which formed the hole injection layer 46 which becomes by PEDOT (poly thiophene) or PAni (poly aniline) on the luminous layer 45. And on a hole injection layer 46, the anode plate 47 which becomes by the transparence electric conduction film is formed. Since light generated by the luminous layer 45 is emitted toward a top-face side in the case of this example (going above TFT), an anode plate must be translucency. Although the compound of indium oxide and the tin oxide and the compound of indium oxide and a zinc oxide can be used as transparence electric conduction film, in order to form by Ushiro in which a low heat-resistant luminous layer and a heat-resistant low hole injection layer were formed, what can form membranes at low temperature as much as possible is desirable.

[0256] When formed to an anode plate 47, a light emitting device 4505 is completed. In addition, the light emitting device 4505 here points out the capacitor formed in the pixel electrode (cathode) 43, the luminous layer 45, the hole injection layer 46, and the anode plate 47. As shown in drawing 34 (A), since the pixel electrode 43 is mostly in agreement with the area of a pixel, the whole pixel functions as a light emitting device. Therefore, the use effectiveness of luminescence is very high and the bright image display of it becomes possible.

[0257] By the way, in this example, the 2nd passivation film 48 is further formed on the anode plate 47. As the 2nd passivation film 48, a silicon nitride film or the nitriding oxidation silicon film is desirable. This purpose is intercepting the exterior and a light emitting device, and has both the semantics which prevents degradation by oxidation of an organic luminescent material, and the semantics which stops degasifying from an organic luminescent material. Thereby, the dependability of luminescence equipment is raised.

[0258] As mentioned above, the luminescence equipment of this invention has the picture element part which consists of a pixel of structure like drawing 33, and has TFT for switching of an OFF state current value low enough, and TFT for current control strong against hot carrier impregnation. Therefore, it has high dependability and the luminescence equipment in which good image display is possible is obtained.

[0259] [Example 12] this example explains the structure where the structure of a light emitting device 4505 was reversed, in the picture element part shown in the example 11. Drawing 35 is used for explanation. In addition, since different points from the structure of drawing 33 are only the part of a light emitting device, and TFT for current control, other explanation is given to omit.

[0260] In drawing 35, TFT4503 for current control uses the p channel mold TFT formed by the well-known approach.

[0261] In this example, the transparence electric conduction film is used as a pixel electrode (anode plate) 50. The electric conduction film which specifically becomes with the compound of indium oxide and a zinc oxide is used. Of course, the electric conduction film which becomes with the compound of indium oxide and the tin oxide may be used.

[0262] And after the banks 51a and 51b which become by the insulator layer are formed, the luminous layer 52 which becomes by the polyvinyl carbazole by solution spreading is formed. The electronic injection layer 53 which becomes by potassium acetylacetonate (written as acacK) on it, and the cathode 54 which becomes with an aluminium alloy are formed. In this case, cathode 54 functions also as passivation film. In this way, a light emitting device 4701 is formed.

[0263] In the case of this example, the light generated in the luminous layer 52 is emitted toward the direction of the substrate with which TFT was formed as shown by the arrow head.

[0264] [Example 13] this example shows the example at the time of considering as the pixel of different structure from the circuit diagram shown in drawing 34 (B) to drawing 36 (A) - (C). in addition, this example -- setting -- 4801 -- in gate wiring (gate signal line) of TFT4802 for switching, and 4804, retention volume, and 4806 and 4808 use as a current supply line, and 4807 uses TFT for current control, and 4805 as a light emitting device for the source wiring (source signal line) of TFT4802 for

switching, and 4803.

[0265] Drawing 36 (A) is an example at the time of making the current supply line 4806 common between two pixels. That is, the description is formed so that two pixels may serve as axial symmetry focusing on the current supply line 4806. In this case, since the number of a current supply line can be reduced, a picture element part can be further made highly minute.

[0266] Moreover, drawing 36 (B) is an example at the time of forming the current supply line 4808 in parallel with the gate wiring (gate signal line) 4803. In addition, although it has structure established so that the current supply line 4808 and the gate wiring (gate signal line) 4803 might not lap in drawing 36 (B), if it is wiring formed in the layer from which both differ, it can also prepare so that it may lap through an insulator layer. In this case, since the current supply line 4808 and the gate wiring (gate signal line) 4803 can be made to share monopoly area, a picture element part can be further made highly minute.

[0267] Moreover, drawing 36 (C) forms the current supply line 4808 in parallel with the gate wiring (gate signal line) 4803 like the structure of drawing 36 (B), and the description is that it forms two pixels further so that it may become axial symmetry to the current supply line 4808. Moreover, it is also effective to form the current supply line 4808 so that it may lap with either of the gate wiring (gate signal line) 4803. In this case, since the number of a current supply line can be reduced, a picture element part can be further made highly minute.

[0268] Although it is considering as the structure of forming retention volume 4504, in drawing 34 (A) shown in the [example 14] example 11, and 34 (B) in order to hold the electrical potential difference concerning the gate of TFT4503 for current control, it is also possible to omit retention volume 4504. In the case of the example 11, it has the LDD field prepared so that it might lap with a gate electrode through gate dielectric film at the drain side of TFT4503 for current control. Although the parasitic capacitance generally called gate capacitance is formed in these overlapping fields, in this example, the description is in the point of using this parasitic capacitance positively as a substitute of retention volume 4504.

[0269] Since the capacitance of this parasitic capacitance changes with the area which the above-mentioned gate electrode and the LDD field overlapped, it is decided by the die length of the LDD field included to those overlapping fields.

[0270] Moreover, in the structure of drawing 36 (A) shown in the example 13, (B), and (C), it is possible similarly to omit retention volume 4805.

[0271] [Example 15] this example explains the electronic equipment incorporating the active matrix liquid crystal display or luminescence equipment which used the drive approach of this invention. Personal Digital Assistants (an electronic notebook, a mobile computer, cellular phone, etc.), a video camera, a still camera, a personal computer, television, etc. are mentioned to these electronic equipment. Those examples are shown in drawing 37 - drawing 39. However, about an active matrix liquid crystal display, drawing 37, drawing 38, and drawing 39 are applied, and drawing 37 and drawing 38 are applied about luminescence equipment.

[0272] Drawing 37 (A) is a cellular phone and consists of a body 9001, the voice output section 9002, the voice input section 9003, a display 9004, an actuation switch 9005, and an antenna 9006. This invention is [0273]. [applicable to a display 9004] Drawing 37 (B) is a video camera and consists of a body 9101, a display 9102, the voice input section 9103, the actuation switch 9104, a dc-battery 9105, and the television section 9106. This invention is applicable to a display 9102.

[0274] Drawing 37 (C) is the mobile computer or personal digital assistant which is a kind of a personal computer, and consists of a body 9201, the camera section 9202, the television section 9203, an actuation switch 9204, and a display 9205. This invention is applicable to a display 9205.

[0275] Drawing 37 (D) is a head mount display (goggles mold display), and consists of a body 9301, a display 9302, and the arm section 9303. This invention is applicable to a display 9302.

[0276] Drawing 37 (E) is television and consists of a body 9401, a loudspeaker 9402, a display 9403, a receiving set 9404, and amplifying device 9405 grade. This invention is applicable to a display 9403.

[0277] Drawing 37 (F) is pocket books, consists of a body 9501, the display 9502, a storage 9504, an

actuation switch 9505, and an antenna 9506, and displays the data memorized by the mini disc (MD) and DVD (Digital Versatile Disc) and the data received with the antenna. This invention is applicable to a display 9502.

[0278] Drawing 38 (A) is a personal computer and consists of a body 9601, the image input section 9602, a display 9603, and a keyboard 9604. This invention is applicable to a display 9603.

[0279] Drawing 38 (B) is a player using the record medium (it is hereafter called a record medium) which recorded the program, and consists of a body 9701, a display 9702, the loudspeaker section 9703, a record medium 9704, and an actuation switch 9705. In addition, this equipment can perform music appreciation, movie appreciation, a game, and the Internet, using DVD, CD, etc. as a record medium. This invention is applicable to a display 9702.

[0280] Drawing 38 (C) is a digital camera and consists of a body 9801, a display 9802, an eye contacting part 9803, an actuation switch 9804, and the television section (not shown). This invention is applicable to a display 9802.

[0281] Drawing 38 (D) is the head mount display of the one eye, and consists of a display 9901 and the head mount section 9902. This invention is applicable to a display 9901.

[0282] Drawing 39 (A) is a front mold projector, and consists of a projection device 3601 and a screen 3602.

[0283] Drawing 39 (B) is a rear mold projector, and consists of a body 3701, a projection device 3702, a mirror 3703, and a screen 3704.

[0284] In addition, drawing 39 (C) is drawing having shown an example of the structure of the projection devices 3601 and 3702 in drawing 39 (A) and drawing 39 (B). Projection devices 3601 and 3702 consist of the light source optical system 3801, mirrors 3802, 3804-3806, a dichroic mirror 3803, prism 3807, the liquid crystal display section 3808, a phase contrast plate 3809, and an incident light study system 3810. The incident light study system 3810 consists of optical system containing a projector lens. Although this example showed the example of a 3 plate type, it may not be limited to this, for example, may be a veneer type. Moreover, an operation person may prepare suitably the optical system of an optical lens, the film which has a polarization function, the film for adjusting phase contrast, IR film, etc., etc. in the optical path shown by the arrow head in drawing 39 (C). This invention is applicable to the liquid crystal display section 3808.

[0285] Moreover, drawing 39 (D) is drawing having shown an example of the structure of the light source optical system 3801 in drawing 39 (C). The light source optical system 3801 is constituted from this example by a reflector 3811, the light source 3812, the lens arrays 3813 and 3814, the polarization sensing element 3815, and the condenser lens 3816. In addition, the light source optical system shown in drawing 39 (D) is especially an example, and is not limited. For example, an operation person may prepare suitably the optical system of an optical lens, the film which has a polarization function, the film which adjusts phase contrast, IR film, etc. in light source optical system.

[0286] As mentioned above, the applicability of this invention is very wide, and it is possible to apply to the electronic equipment of all fields using an image display device.

[0287]

[Effect of the Invention] According to the drive approach of this invention, in the approach of driving two or more source signal lines by one D/A conversion circuit, a source line reversal drive and a dot reversal drive can be enabled. Moreover, the period which reverses the polarity of the supply voltage of said control signal or a gradation power-source line with devising the input approach of the supply voltage of the change control signal of a gradation power-source line or a gradation power-source line like the operation gestalten 3, 4, and 6 can be lengthened, and the burden to a circuit can be reduced.

[0288] The period which reverses the polarity of the supply voltage of said control signal in the dot reversal drive from which high definition is generally expected, or a gradation power-source line is equivalent to them in a source line reversal drive, or the advantage made for a long time than it is large so that it may see with the operation gestalten 3, 4, and 6 especially. Most effectively, the period which reverses the polarity of the supply voltage of said control signal in a dot reversal drive or a gradation power-source line can be lengthened to the same period as the gate line reversal drive approach. If it has

another way of speaking, a dot reversal drive can be enabled the usual gate line reversal drive approach and this usual period.

[Translation done.]

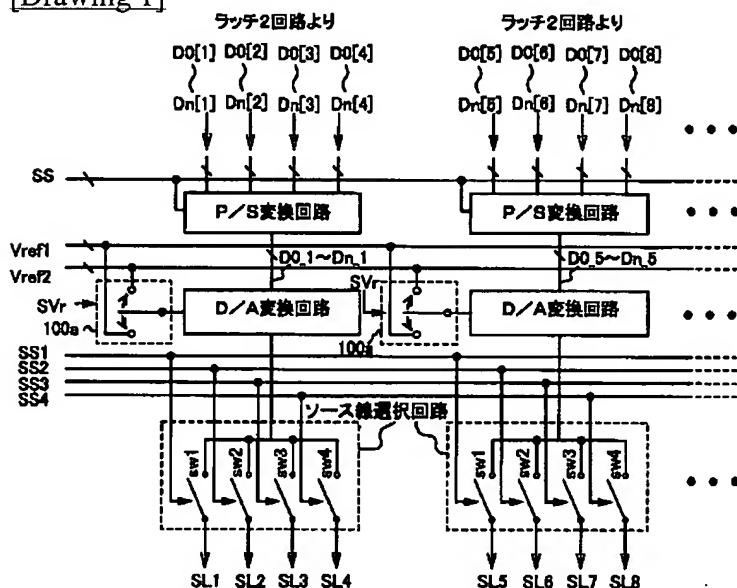
* NOTICES *

JPO and INPIT are not responsible for any damages caused by the use of this translation.

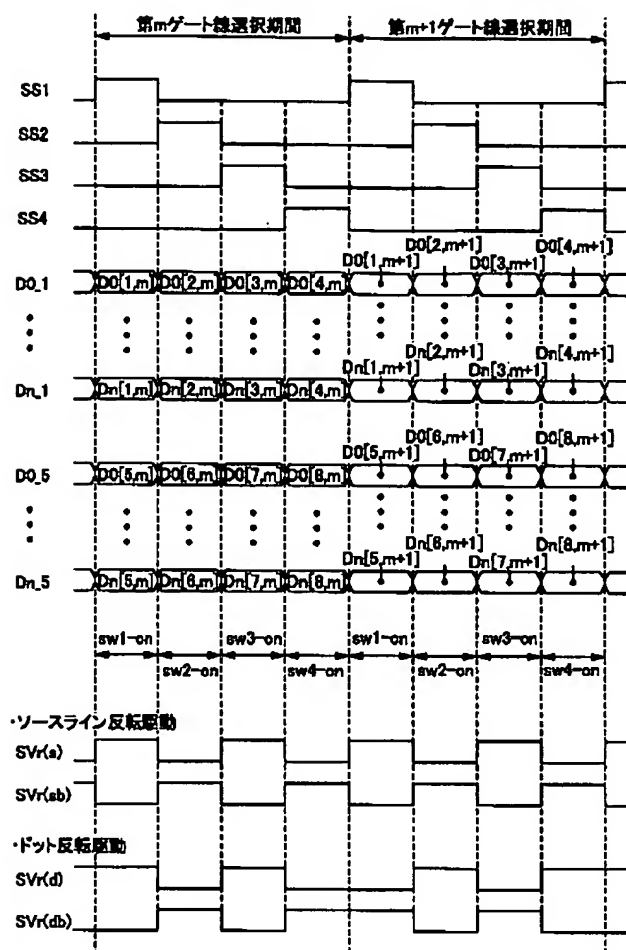
1. This document has been translated by computer. So the translation may not reflect the original precisely.
2. **** shows the word which can not be translated.
3. In the drawings, any words are not translated.

DRAWINGS

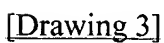
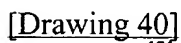
[Drawing 1]

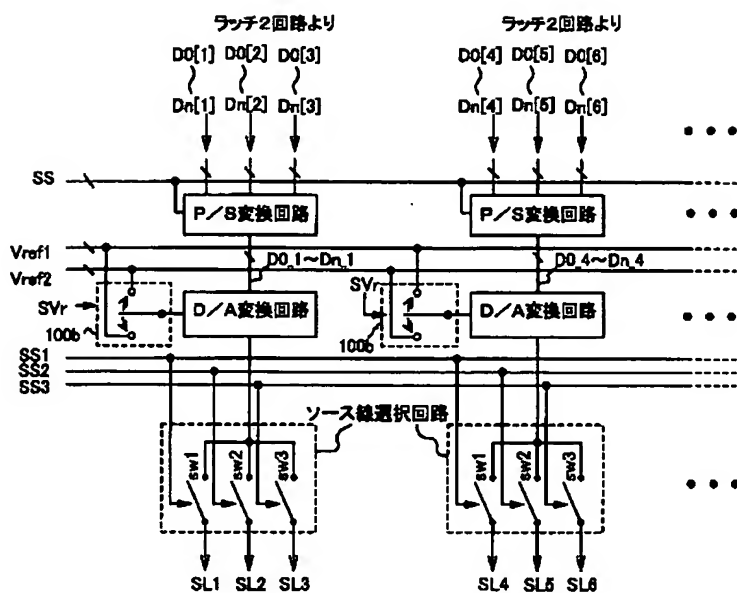


[Drawing 2]

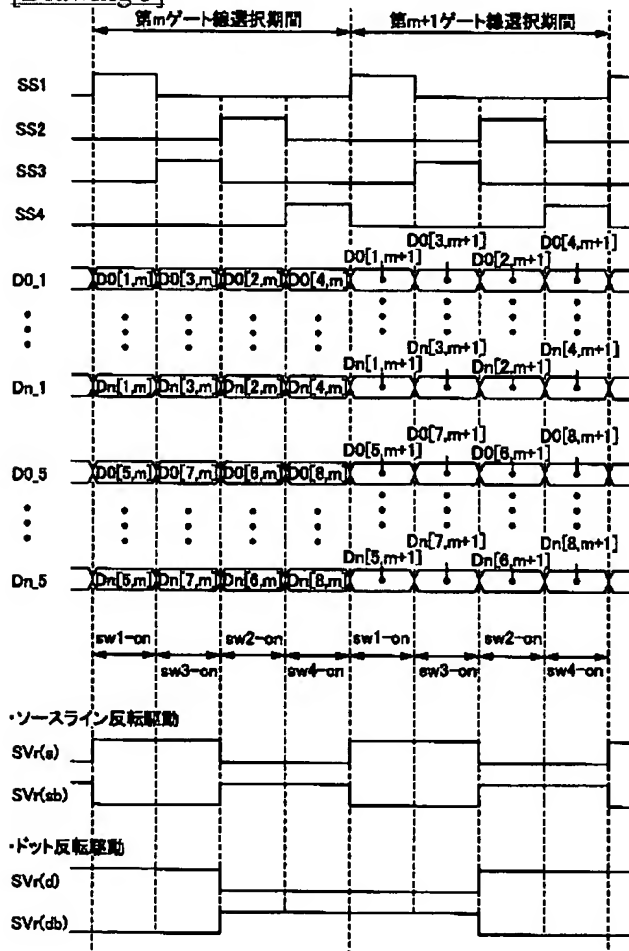


[Drawing 4]

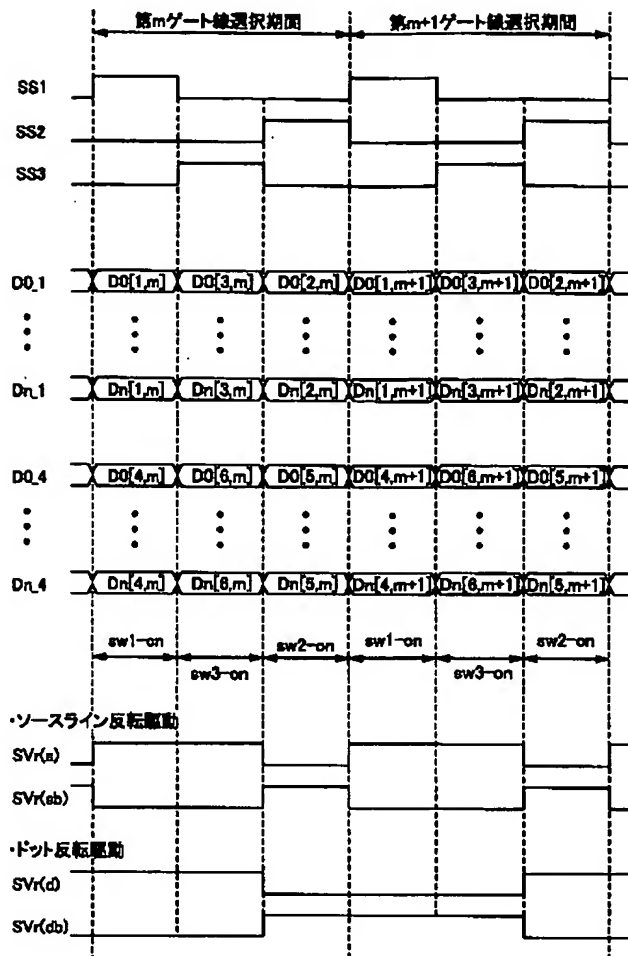




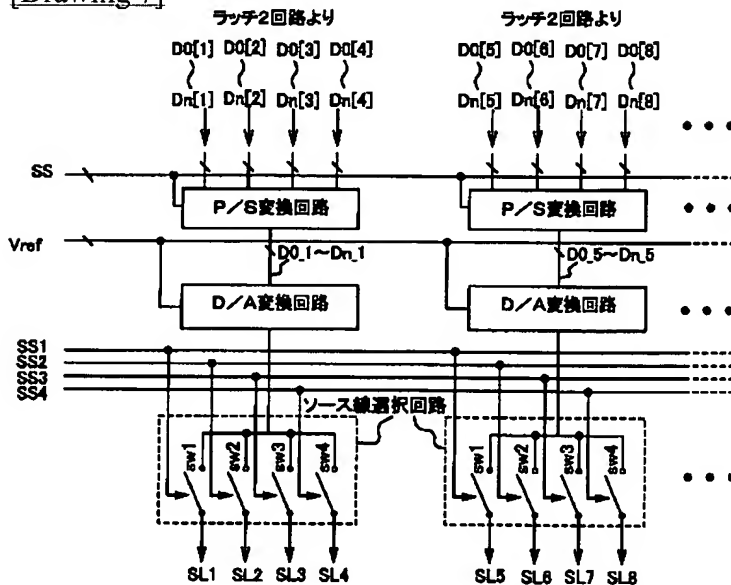
[Drawing 5]



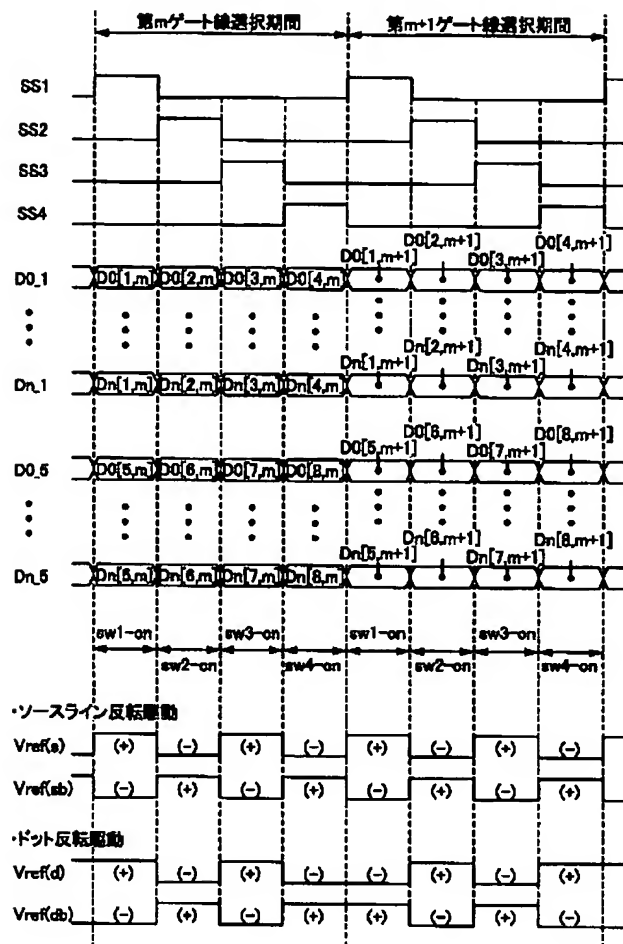
[Drawing 6]



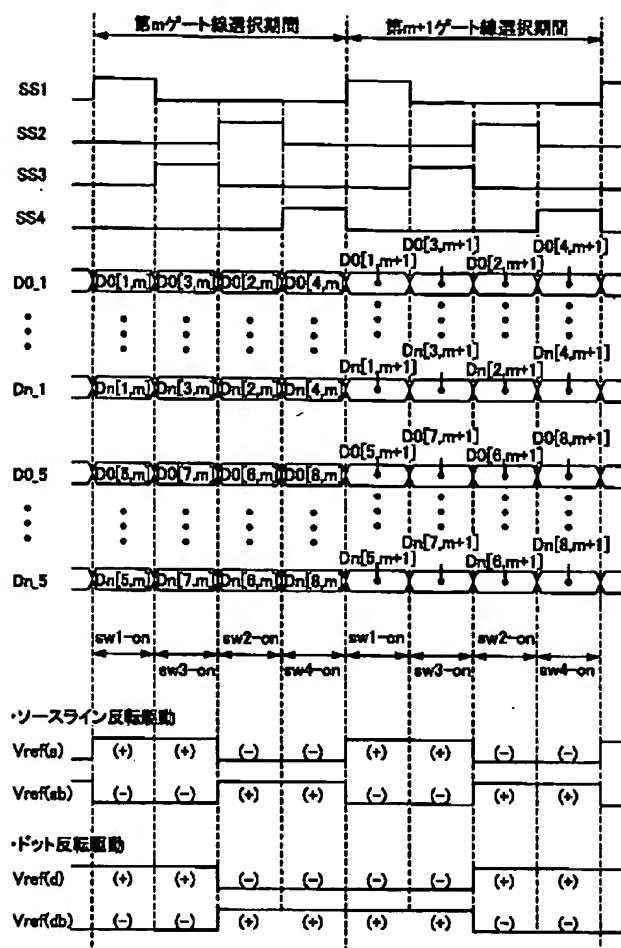
[Drawing 7]



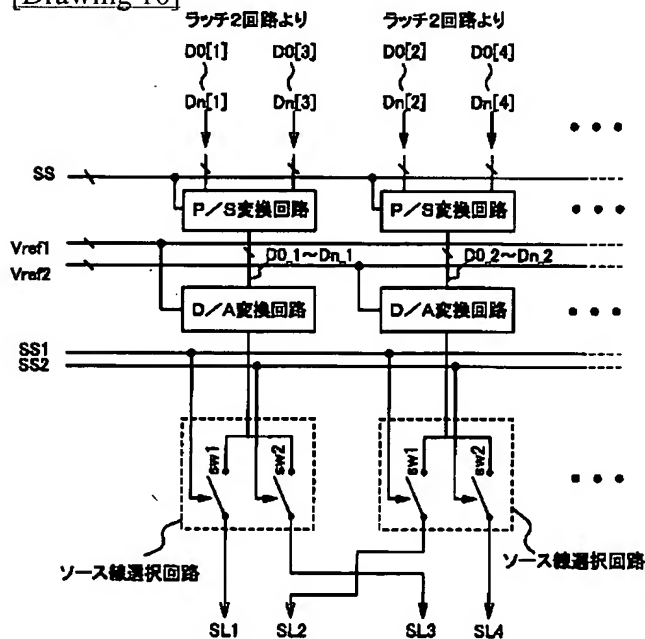
[Drawing 8]



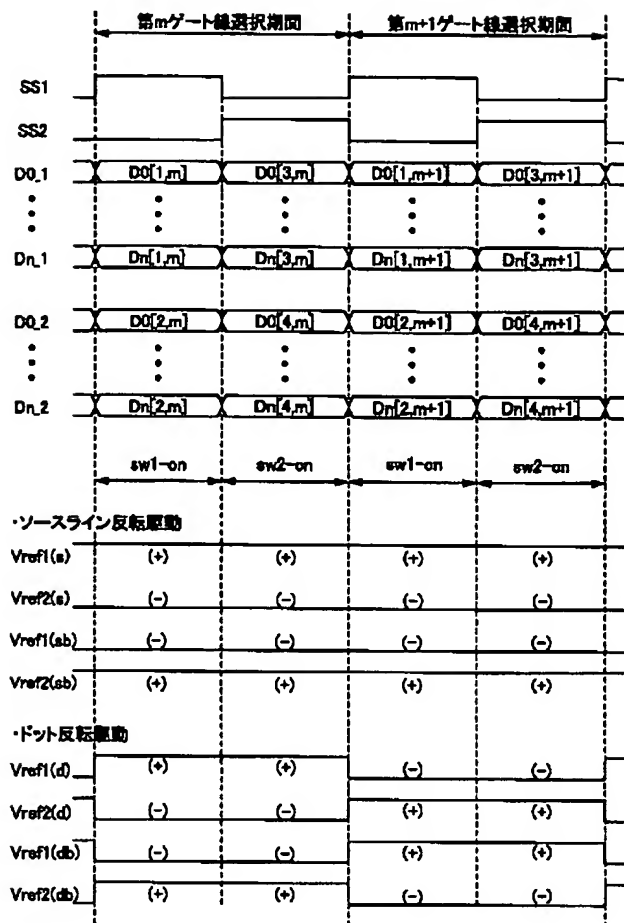
[Drawing 9]



[Drawing 10]

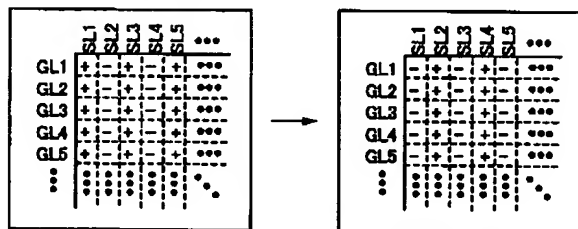


[Drawing 11]



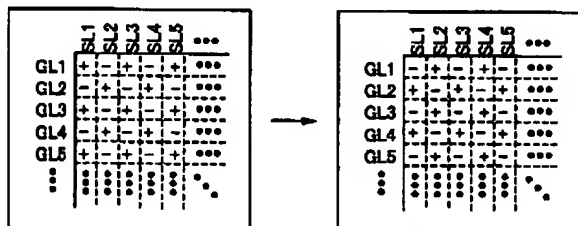
[Drawing 12]

a) ソースライン反転駆動



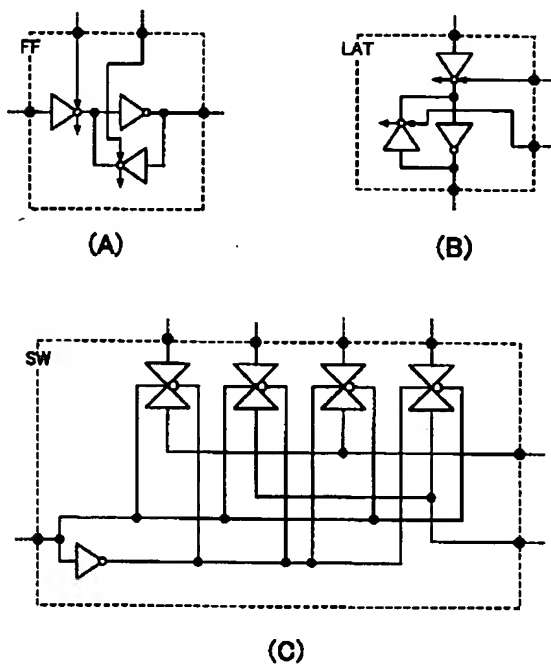
次のフレーム

b) ドット反転駆動

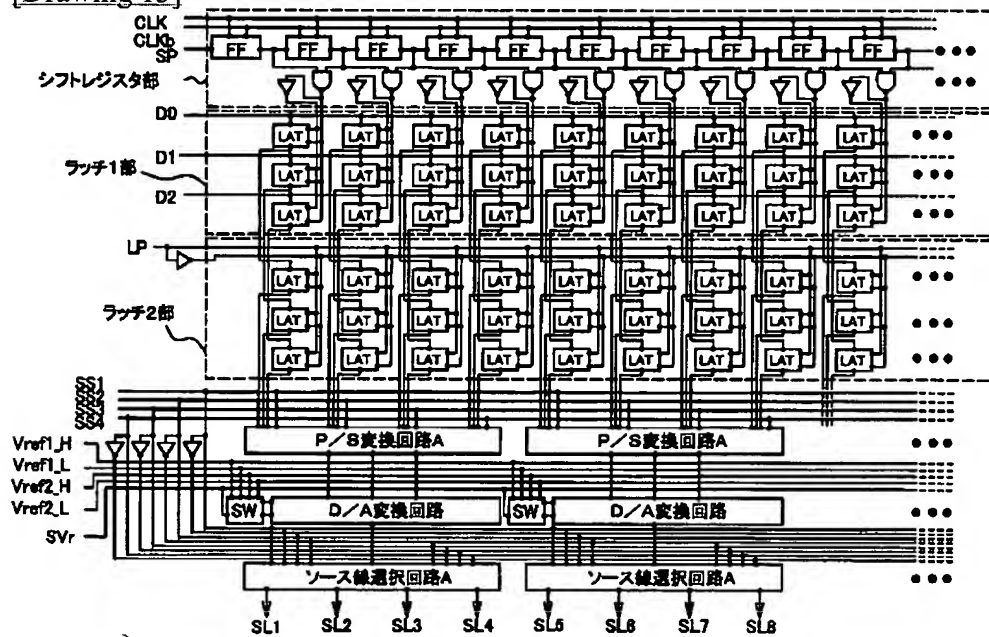


次のフレーム

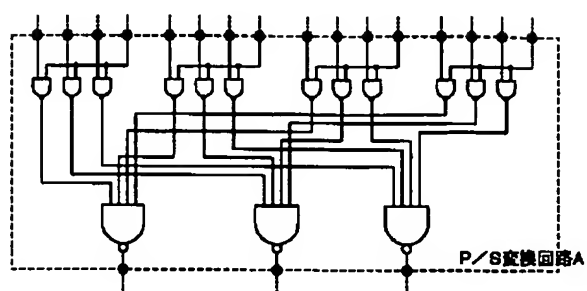
[Drawing 14]



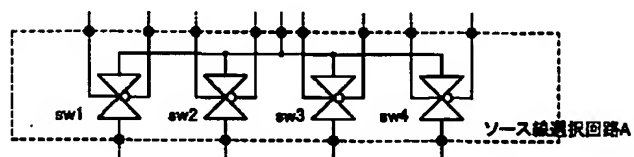
[Drawing 13]



[Drawing 15]

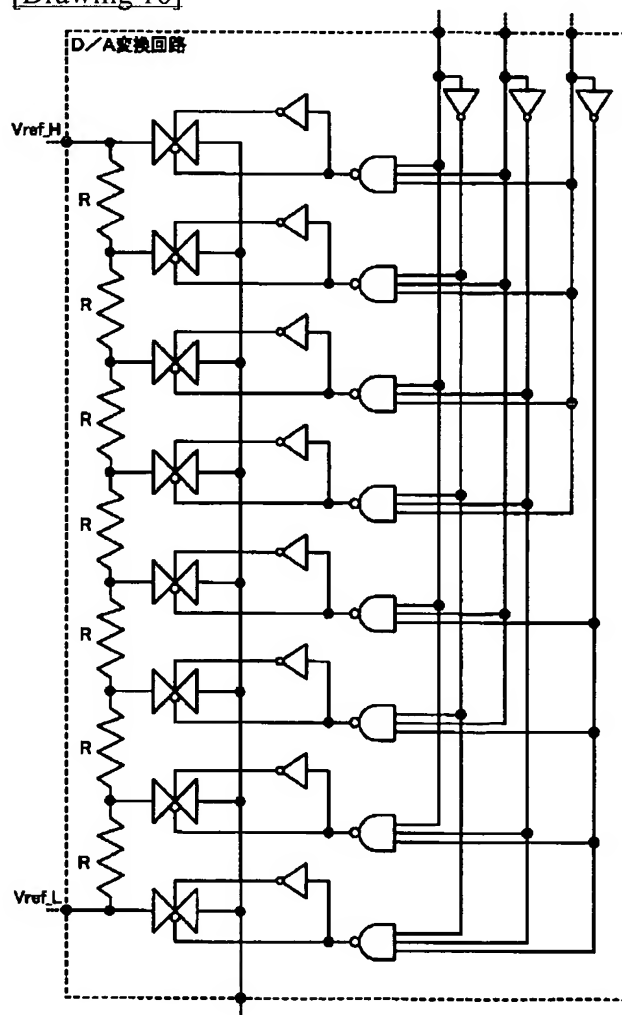


(A)

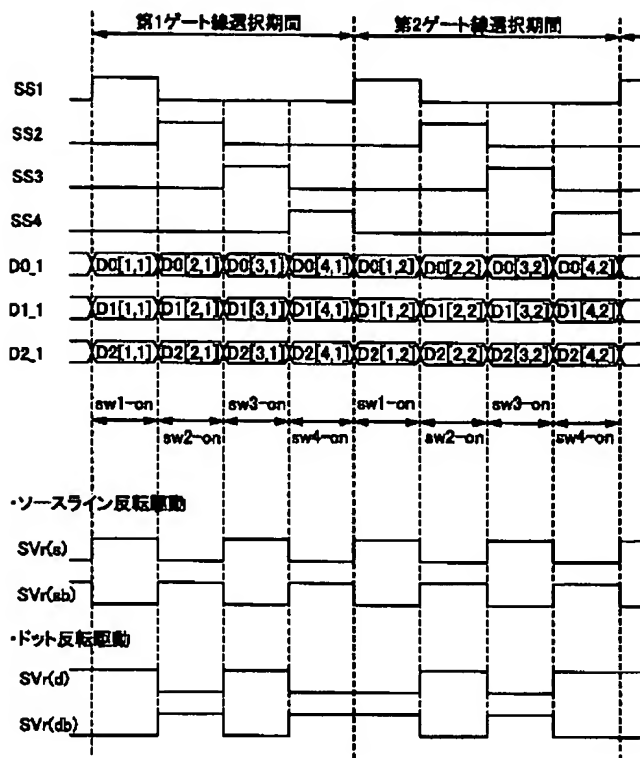


(B)

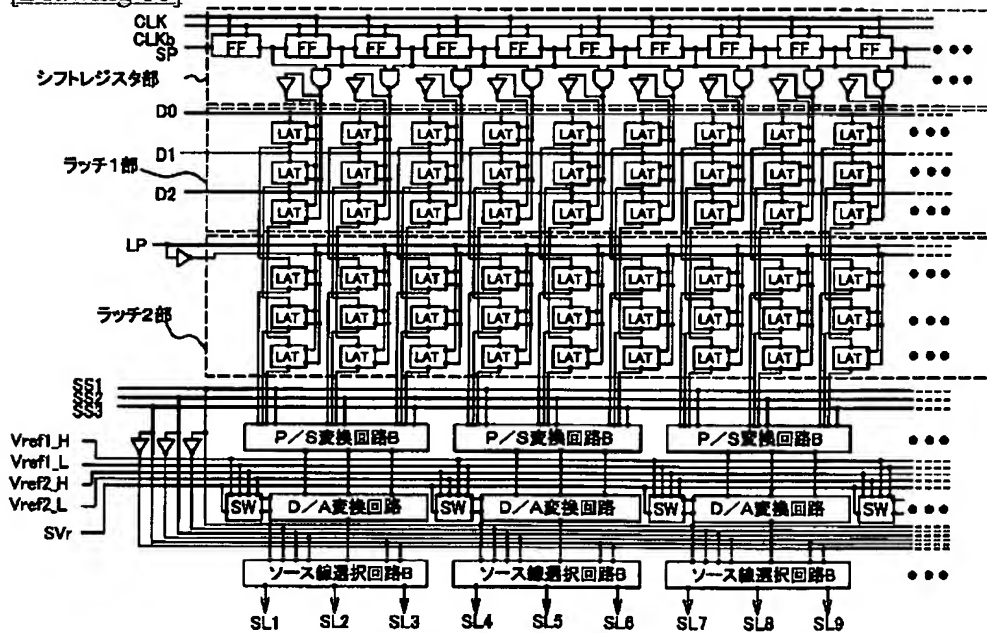
[Drawing 16]



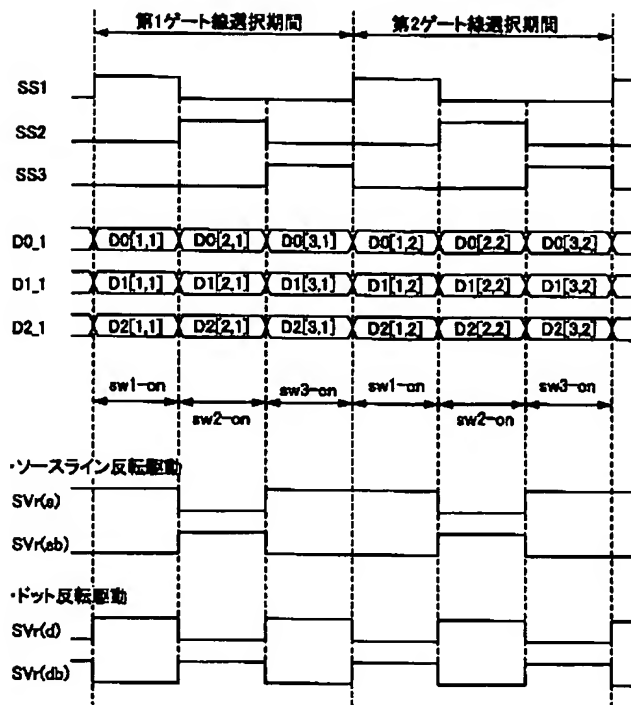
[Drawing 17]



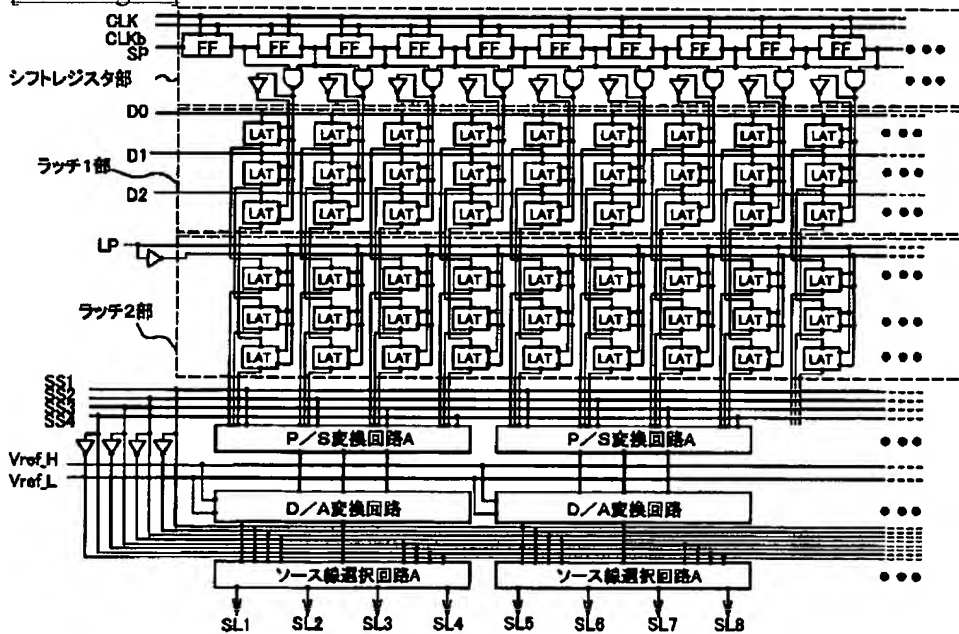
[Drawing 18]



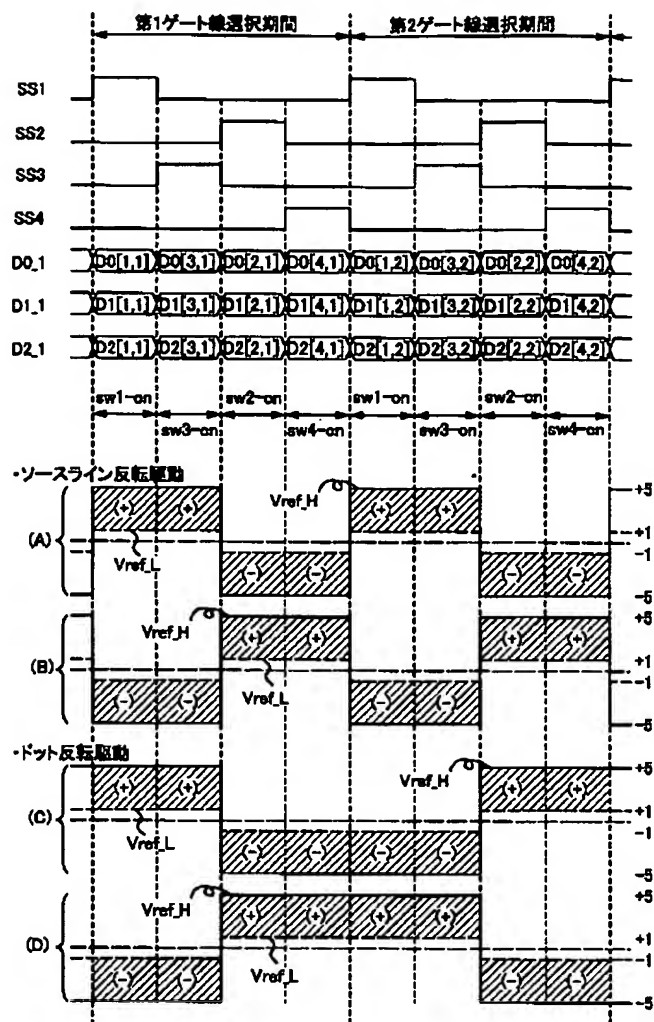
[Drawing 19]



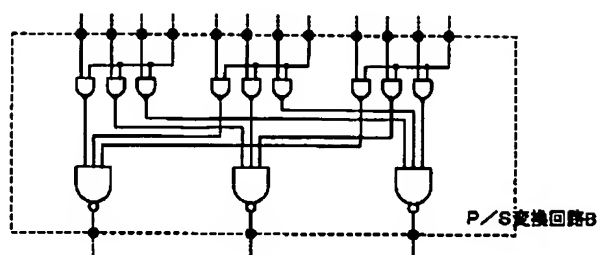
[Drawing 20]



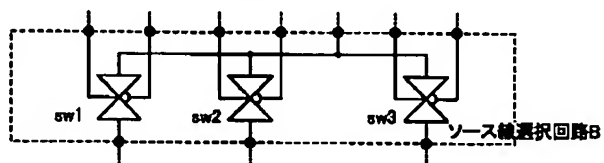
[Drawing 21]



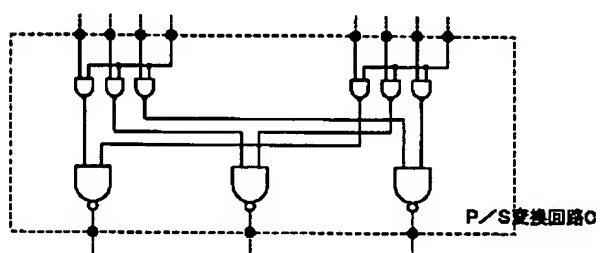
[Drawing 23]



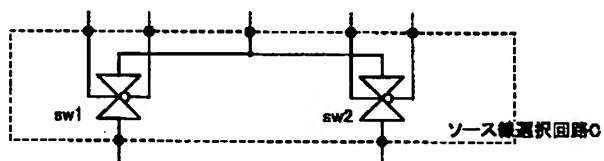
(A)



(B)

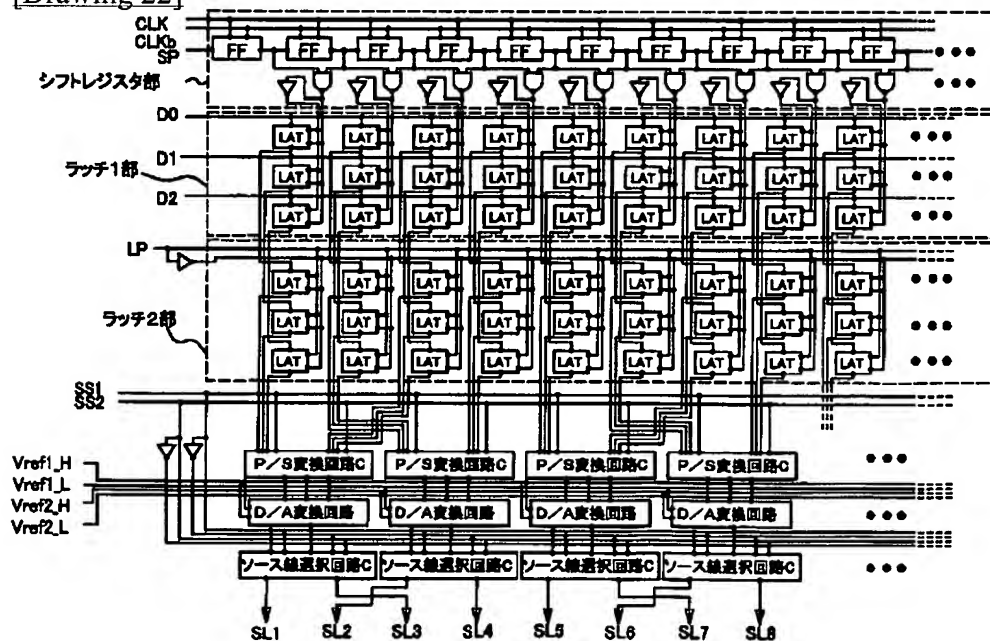


(C)

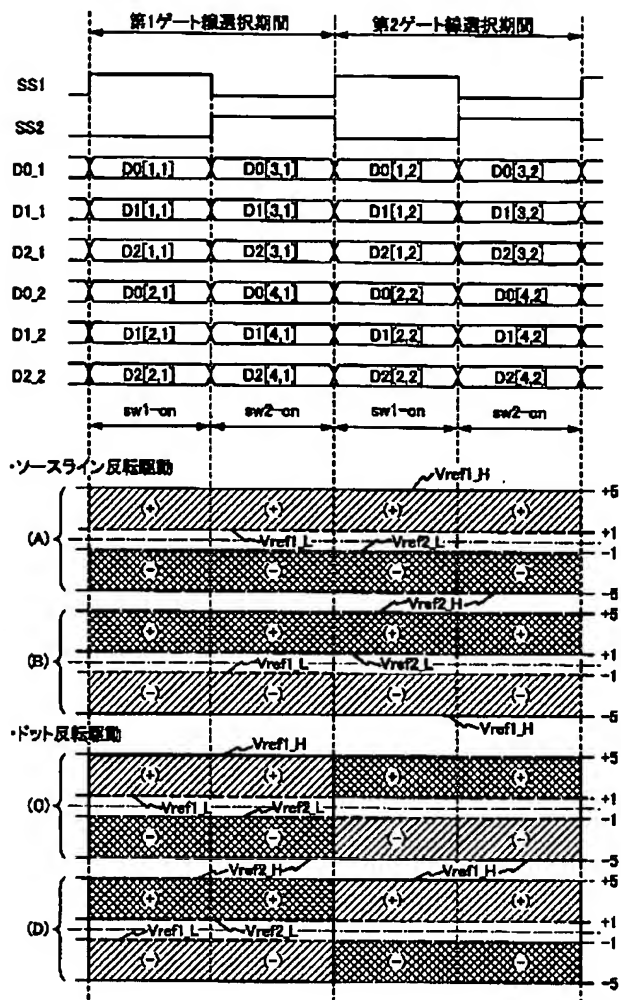


(D)

[Drawing 22]

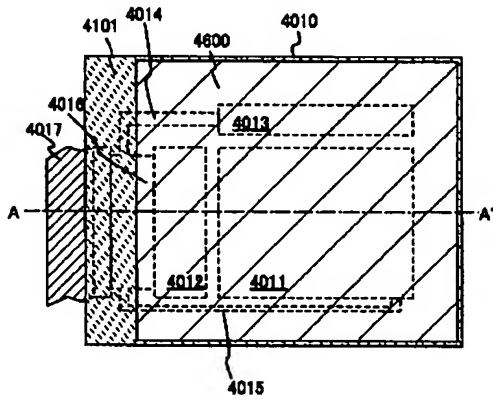


[Drawing 24]

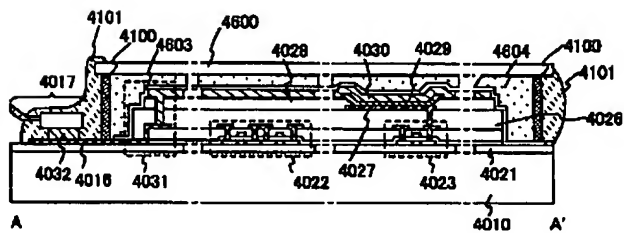


[Drawing 31]

(A)

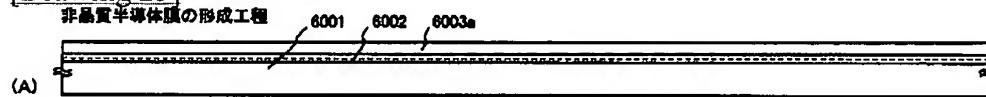


(B)

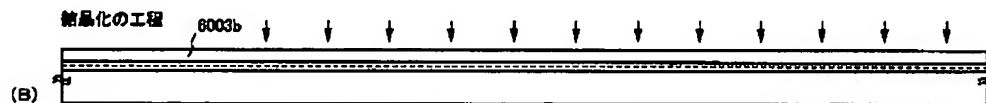


[Drawing 25]

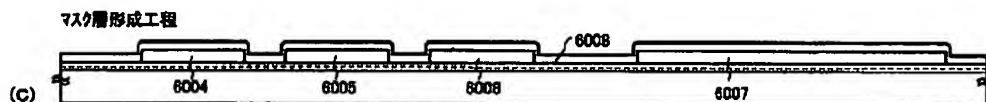
非晶質半導体膜の形成工程



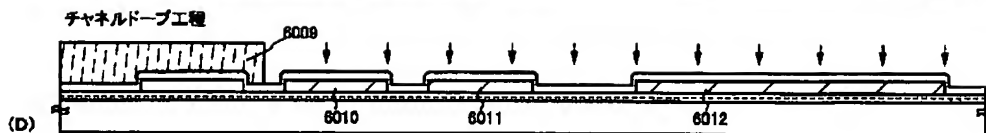
結晶化の工程



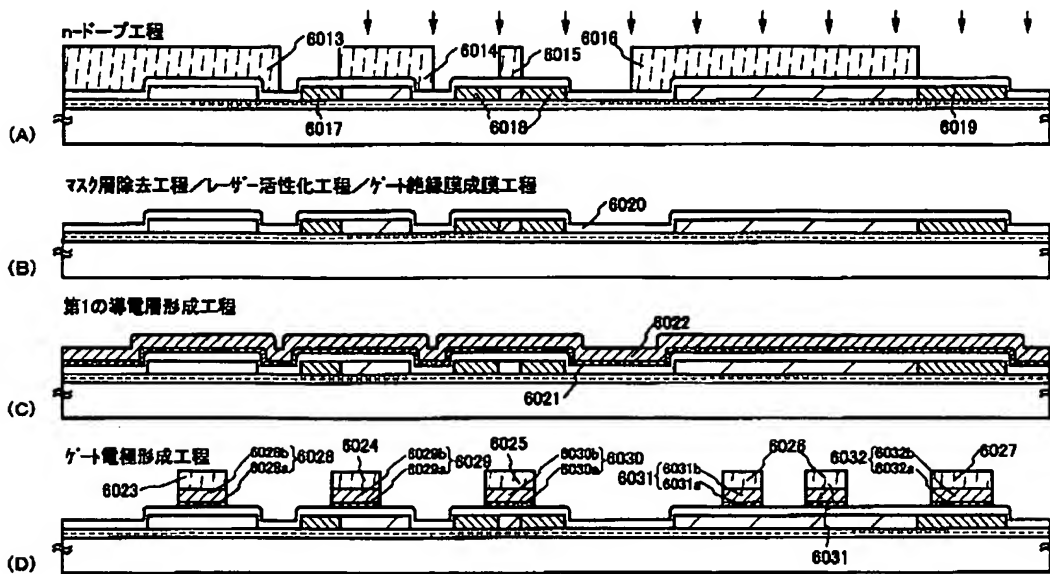
マスク層形成工程



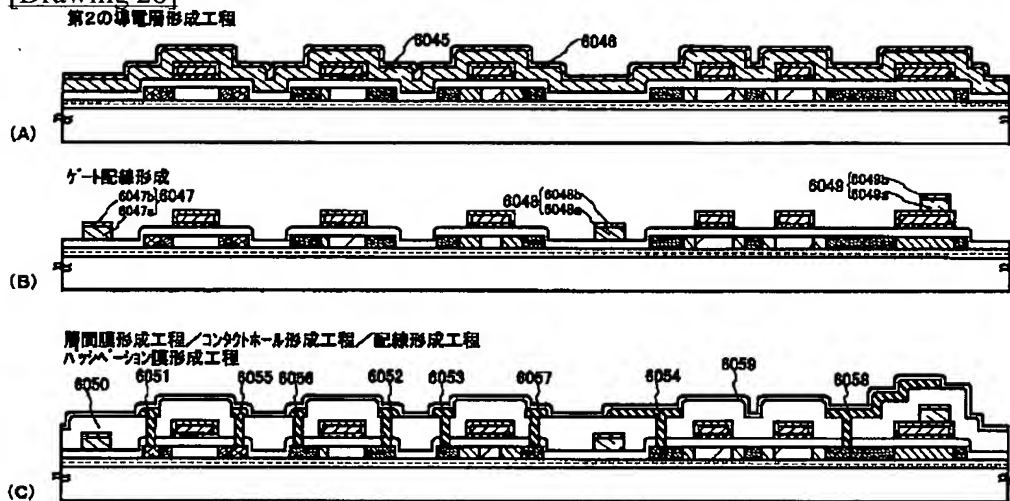
チャンネルドープ工程



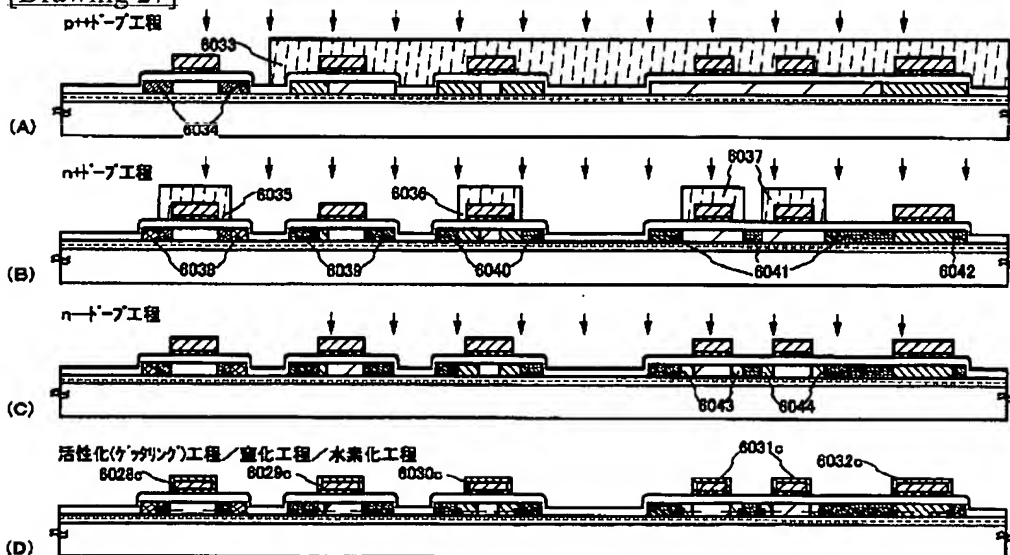
[Drawing 26]



[Drawing 28]

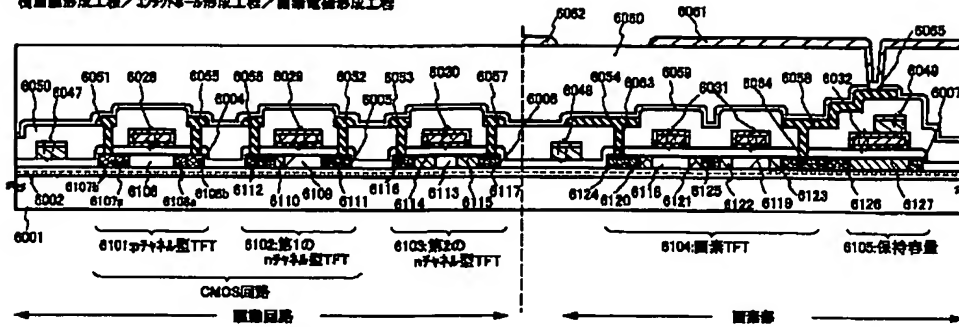


[Drawing 27]

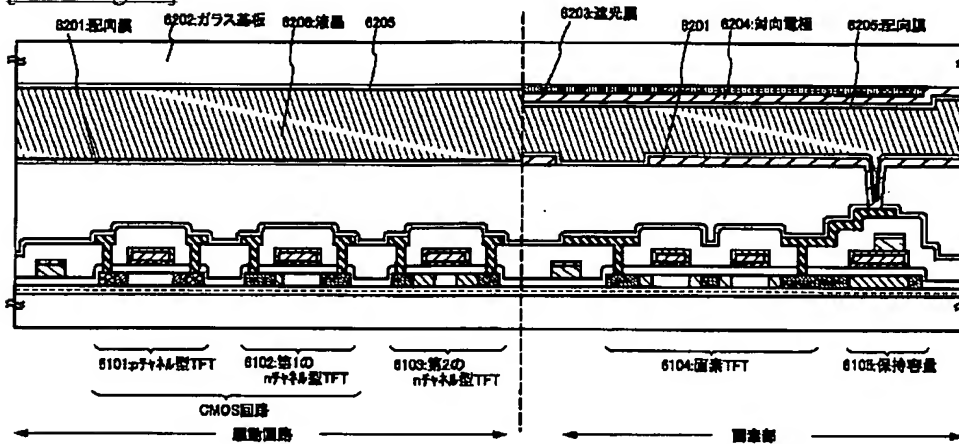


[Drawing 29]

液晶形成工程／シフトレジスタ形成工程／画素電極形成工程

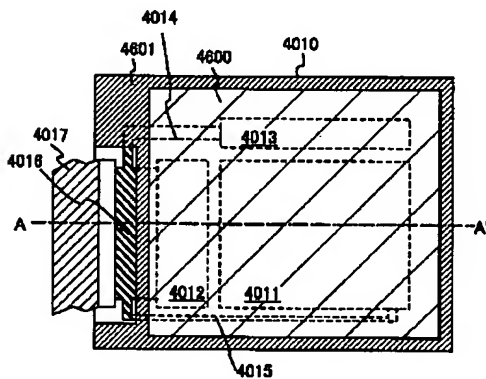


[Drawing 30]

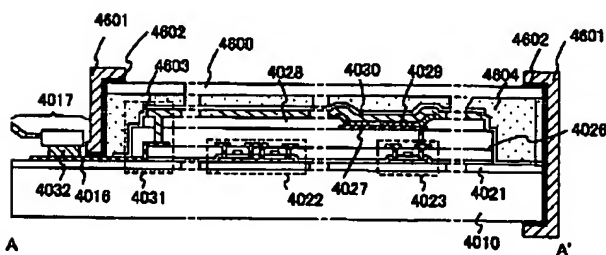


[Drawing 32]

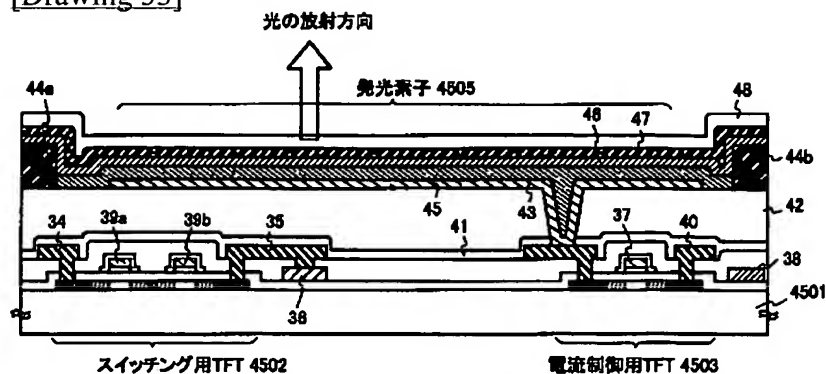
(A)



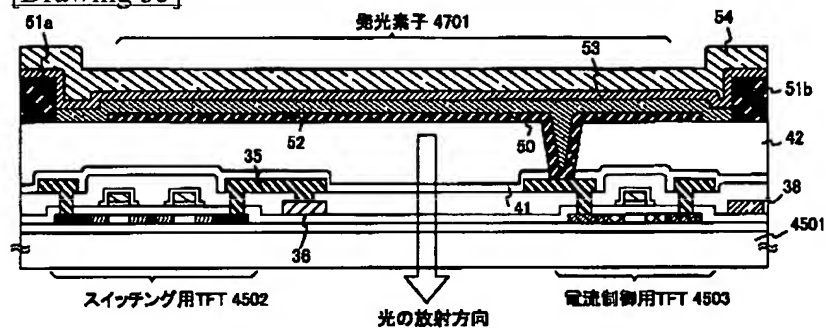
(B)



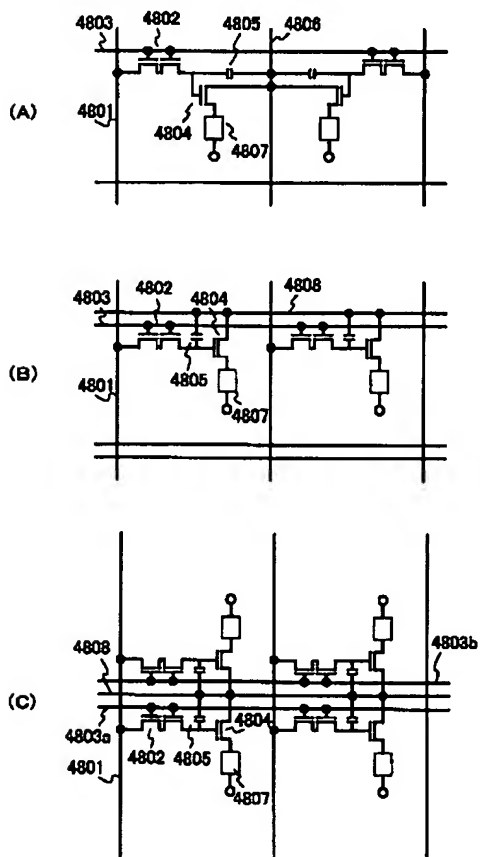
[Drawing 33]



[Drawing 35]

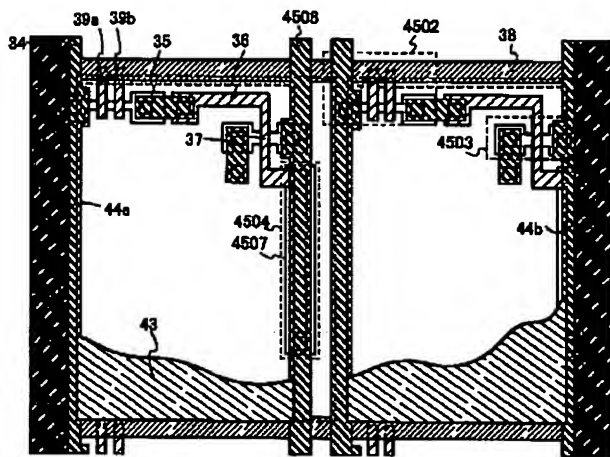


[Drawing 36]

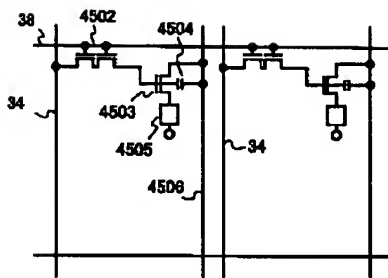


[Drawing 34]

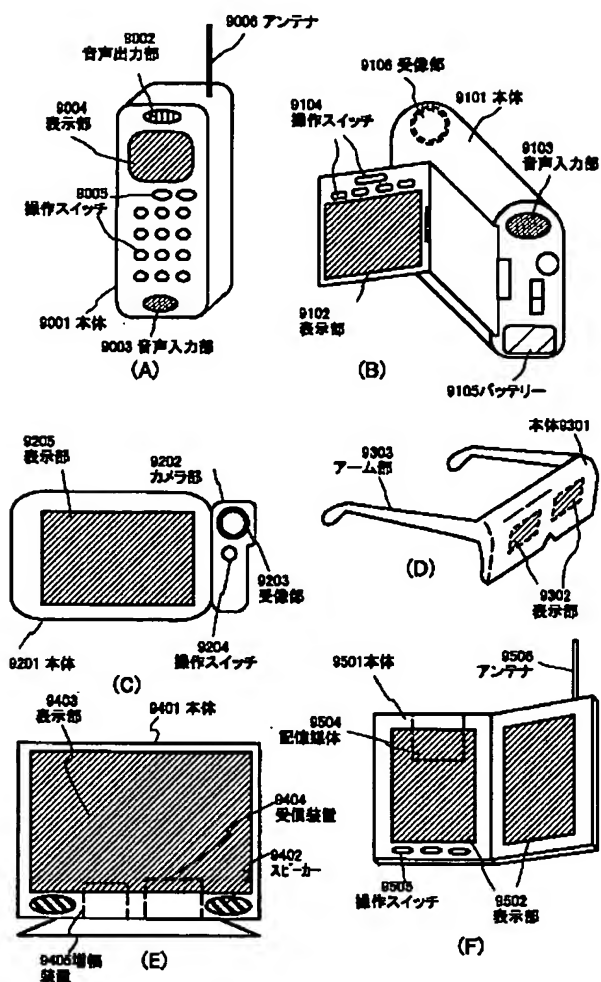
(A)



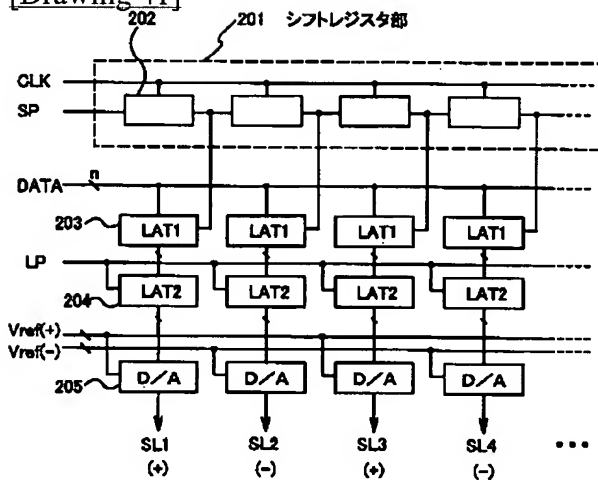
(B)



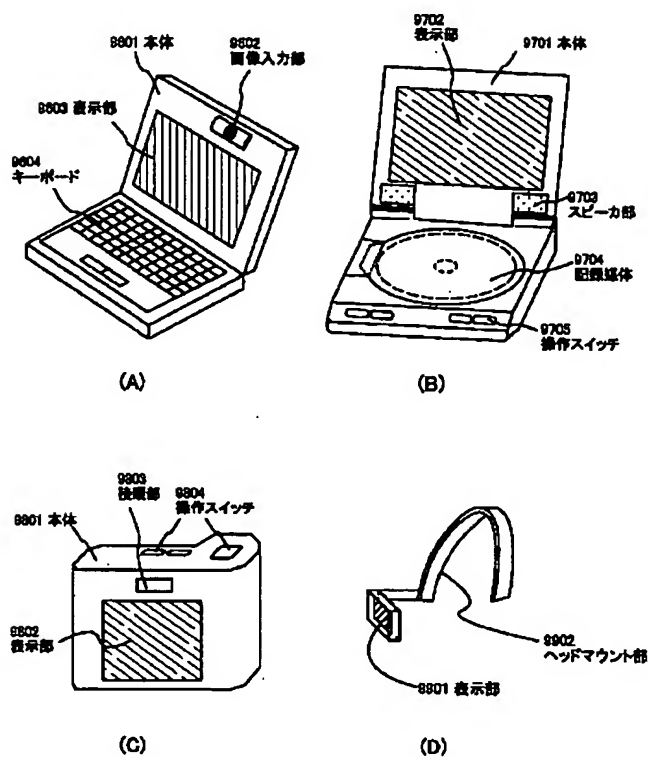
[Drawing 37]



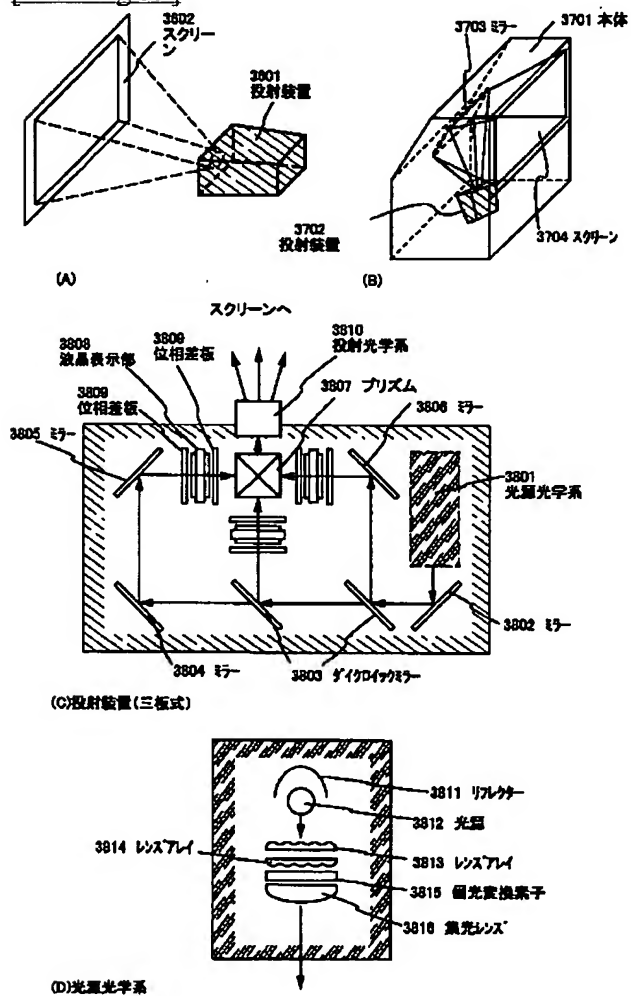
[Drawing 41]



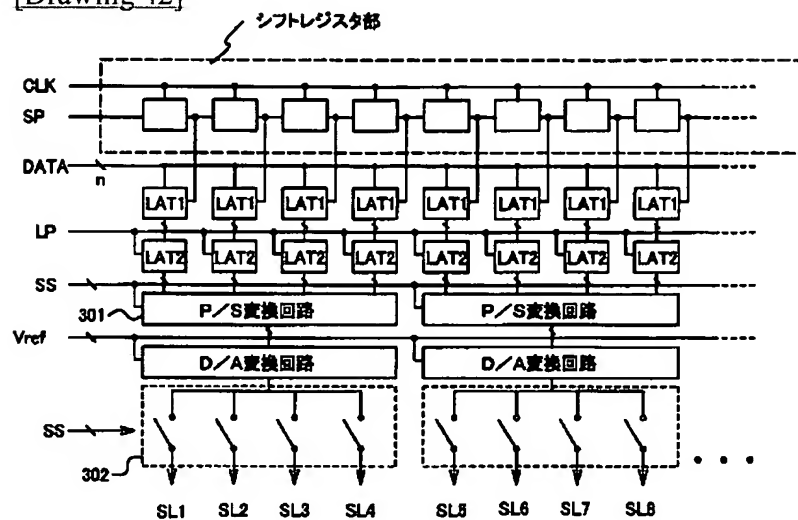
[Drawing 38]



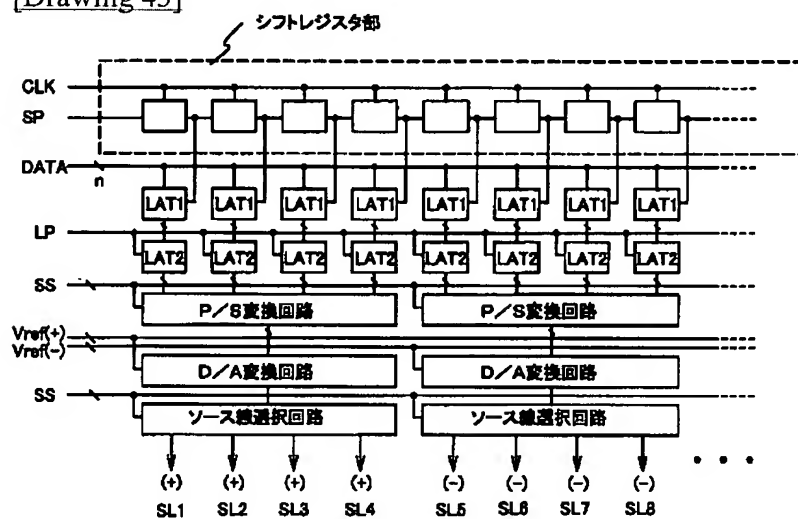
[Drawing 39]



[Drawing 42]



[Drawing 43]



[Translation done.]

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2001-249650

(P2001-249650A)

(43) 公開日 平成13年9月14日 (2001.9.14)

(51) Int.Cl. ⁷	識別記号	F I	テーマコード(参考)
G 0 9 G 3/36		G 0 9 G 3/36	
G 0 2 F 1/133	5 5 0	G 0 2 F 1/133	5 5 0
	5 7 5		5 7 5
G 0 9 G 3/20	6 2 3	G 0 9 G 3/20	6 2 3 F
3/30		3/30	J
審査請求 未請求 請求項の数38 O L (全 42 頁)			

(21) 出願番号 特願2000-394512(P2000-394512)

(22) 出願日 平成12年12月26日(2000.12.26)

(31) 優先権主張番号 特願平11-371126

(32) 優先日 平成11年12月27日(1999.12.27)

(33) 優先権主張国 日本 (J P)

(71) 出願人 000153878

株式会社半導体エネルギー研究所

神奈川県厚木市長谷398番地

(72) 発明者 浅見 宗広

神奈川県厚木市長谷398番地 株式会社半

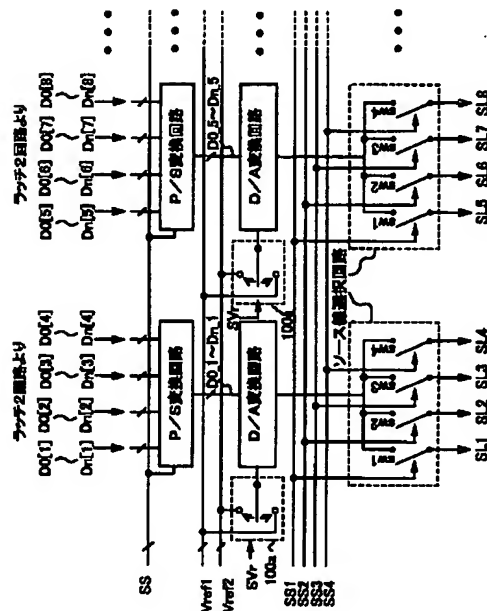
導体エネルギー研究所内

(54) 【発明の名称】 画像表示装置およびその駆動方法

(57) 【要約】

【課題】 デジタル映像信号入力に対応するアクティブマトリクス型画像表示装置のソース信号線駆動回路において、1つのD/A変換回路で複数のソース線を駆動する場合に、ソースライン反転駆動方法やドット反転駆動方法を行なう新たな駆動方法を提供することを目的とする。

【解決手段】 本発明の第1の駆動方法は、極性の異なる出力をD/A変換回路から得るために2系統の階調電源線がソース信号線駆動回路に供給され、各D/A変換回路には前記2系統の階調電源線との接続を切り替えるスイッチを備え、そのスイッチに入力される制御信号により各D/A変換回路へ接続される階調電源線を切り替え、ソースライン反転駆動やドット反転駆動を行なう。



【特許請求の範囲】

【請求項 1】ソース信号線駆動回路と、ゲート信号線駆動回路と、複数のソース信号線と複数のゲート信号線が交差する各領域に画素電極と、前記画素電極を駆動するためのスイッチング素子と、を有する画像表示装置において、前記ソース信号線駆動回路内に、デジタル映像信号をアナログ映像信号に変換する D/A 変換回路と、ソース線選択回路と、を有し、前記デジタル映像信号が前記各 D/A 変換回路に入力するタイミングに同期して、前記各ソース線選択回路が前記複数のソース信号線のうち前記デジタル映像信号に対応するソース信号線を選択し、前記選択されたソース信号線へ前記各 D/A 変換回路から出力される前記アナログ映像信号を書き込むことを特徴とする画像表示装置。

【請求項 2】請求項 1 において、1 系統が複数本からなる階調電源線を 2 系統と、前記 2 系統の階調電源線のいずれか 1 系統と前記各 D/A 変換回路とを接続する接続切り替えスイッチと、を有し、前記接続切り替えスイッチに入力される制御信号により、1 水平書き込み期間中、前記各ソース線選択回路が奇数番目のソース信号線を選択する期間は、前記 2 系統の階調電源線のうち第 1 の系統の階調電源線を前記各 D/A 変換回路に接続し、前記各ソース線選択回路が偶数番目のソース信号線を選択する期間は、前記第 1 とは別系統の階調電源線を前記各 D/A 変換回路に接続することを特徴とする画像表示装置。

【請求項 3】請求項 1 において、複数本からなる 1 系統の階調電源線が前記各 D/A 変換回路に接続され、前記各階調電源線の電源電圧は 1 水平書き込み期間中にそれぞれ極性反転をおこない、前記各ソース線選択回路が奇数番目の前記ソース信号線を選択する期間と偶数番目の前記ソース信号線を選択する期間とで、前記各階調電源線に異なる極性の電圧を与えることを特徴とする画像表示装置。

【請求項 4】請求項 1 において、1 系統が複数本からなる階調電源線を 2 系統と、前記各ソース線選択回路を経由して、奇数番目の前記ソース信号線のみを駆動する前記 D/A 変換回路と、偶数番目の前記ソース信号線のみを駆動する前記 D/A 変換回路と、を有し、前記 2 系統の階調電源線のうち、第 1 の系統の階調電源線は、前記奇数番目のソース信号線のみを駆動する各 D/A 変換回路に接続され、前記第 1 とは別系統の階調電源線は、前記偶数番目のソース信号線のみを駆動する各 D/A 変換回路に接続されることを特徴とする画像表示装置。

【請求項 5】請求項 2 において、前記各ソース線選択回路が奇数番目あるいは偶数番目のどちらか一方の前記ソース信号線を 1 水平書き込み期間のある一定期間内に連続的に選択することを特徴とする画像表示装置。

【請求項 6】請求項 3 において、前記各ソース線選択回路が奇数番目あるいは偶数番目のどちらか一方の前記ソ

ース信号線を 1 水平書き込み期間のある一定期間内に連続的に選択することを特徴とする画像表示装置。

【請求項 7】請求項 2 乃至請求項 6 のいずれか 1 項において、奇数番目と偶数番目のソース信号線に印加される電圧の極性反転を周期的に行なうことを特徴とする画像表示装置。

【請求項 8】請求項 2 または請求項 5 において、前記制御信号は、1 フレーム期間内では 1 ゲート信号線選択期間の入力を繰り返し、かつ、連続するフレーム期間ではそれぞれ反転関係にあることを特徴とする画像表示装置。

【請求項 9】請求項 2 または請求項 5 において、前記制御信号は、1 フレーム期間内の連続するゲート信号線選択期間ではそれぞれ反転関係にあり、かつ、連続するフレーム期間でもそれぞれ反転関係にあることを特徴とする画像表示装置。

【請求項 10】請求項 3 または請求項 6 において、前記各階調電源線の電源電圧の入力は、1 フレーム期間内では 1 ゲート信号線選択期間の入力を繰り返し、かつ、連続するフレーム期間ではそれぞれ反転関係にあることを特徴とする画像表示装置。

【請求項 11】請求項 3 または請求項 6 において、前記各階調電源線の電源電圧の入力は、1 フレーム期間内の連続するゲート信号線選択期間ではそれぞれ反転関係にあり、かつ、連続するフレーム期間でもそれぞれ反転関係にあることを特徴とする画像表示装置。

【請求項 12】請求項 4 において、前記各階調電源線の電源電圧は、1 フレーム期間毎に極性反転することを特徴とする画像表示装置。

【請求項 13】請求項 4 において、前記各階調電源線の電源電圧は、1 フレーム期間内では 1 ゲート信号線選択期間毎に極性反転し、かつ、連続するフレーム期間のそれぞれの第 1 ゲート信号線選択期間を比較しても極性反転することを特徴とする画像表示装置。

【請求項 14】請求項 1 乃至請求項 13 のいずれか 1 項において、表示素子に液晶材料を用いることを特徴とする画像表示装置。

【請求項 15】請求項 1 乃至請求項 13 のいずれか 1 項において、表示素子に発光材料を用いることを特徴とする画像表示装置。

【請求項 16】請求項 1 乃至請求項 15 のいずれか 1 項に記載の前記画像表示装置を用いることを特徴とする携帯電話。

【請求項 17】請求項 1 乃至請求項 15 のいずれか 1 項に記載の前記画像表示装置を用いることを特徴とするビデオカメラ。

【請求項 18】請求項 1 乃至請求項 15 のいずれか 1 項に記載の前記画像表示装置を用いることを特徴とするパーソナルコンピュータ。

【請求項 19】請求項 1 乃至請求項 15 のいずれか 1 項

に記載の前記画像表示装置を用いることを特徴とするヘッドマウントディスプレイ。

【請求項 20】請求項 1 乃至請求項 15 のいずれか 1 項に記載の前記画像表示装置を用いることを特徴とするテレビ。

【請求項 21】請求項 1 乃至請求項 15 のいずれか 1 項に記載の前記画像表示装置を用いることを特徴とする携帯書籍。

【請求項 22】請求項 1 乃至請求項 15 のいずれか 1 項に記載の前記画像表示装置を用いることを特徴とする DVD プレーヤー。

【請求項 23】請求項 1 乃至請求項 15 のいずれか 1 項に記載の前記画像表示装置を用いることを特徴とするデジタルカメラ。

【請求項 24】請求項 1 乃至請求項 15 のいずれか 1 項に記載の前記画像表示装置を用いることを特徴とするプロジェクター。

【請求項 25】ソース信号線駆動回路と、ゲート信号線駆動回路と、複数のソース信号線と複数のゲート信号線が交差する各領域に画素電極と、前記画素電極を駆動するためのスイッチング素子と、を有する画像表示装置において、前記ソース信号線駆動回路内に、デジタル映像信号をアナログ映像信号に変換する D/A 変換回路と、ソース線選択回路と、を有し、前記デジタル映像信号が前記各 D/A 変換回路に入力するタイミングに同期して、前記各ソース線選択回路が前記複数のソース信号線のうち前記デジタル映像信号に対応するソース信号線を選択し、前記選択されたソース信号線へ前記各 D/A 変換回路から出力される前記アナログ映像信号を書き込むことを特徴とする画像表示装置の駆動方法。

【請求項 26】請求項 25 において、1 系統が複数本からなる階調電源線を 2 系統と、前記 2 系統の階調電源線のいずれか 1 系統と前記各 D/A 変換回路とを接続する接続切り替えスイッチと、を有し、前記接続切り替えスイッチに入力される制御信号により、1 水平書き込み期間中、前記各ソース線選択回路が奇数番目のソース信号線を選択する期間は、前記 2 系統の階調電源線のうち第 1 の系統の階調電源線を前記各 D/A 変換回路に接続し、前記各ソース線選択回路が偶数番目のソース信号線を選択する期間は、前記第 1 とは別系統の階調電源線を前記各 D/A 変換回路に接続することを特徴とする画像表示装置の駆動方法。

【請求項 27】請求項 25 において、複数本からなる 1 系統の階調電源線が前記各 D/A 変換回路に接続され、前記各階調電源線の電源電圧は 1 水平書き込み期間中にそれぞれ極性反転をおこない、前記各ソース線選択回路が奇数番目の前記ソース信号線を選択する期間と偶数番目の前記ソース信号線を選択する期間とで、前記各階調電源線に異なる極性の電圧を与えることを特徴とする画像表示装置の駆動方法。

【請求項 28】請求項 25 において、1 系統が複数本からなる階調電源線を 2 系統と、前記各ソース線選択回路を經由して、奇数番目の前記ソース信号線のみを駆動する前記 D/A 変換回路と、偶数番目の前記ソース信号線のみを駆動する前記 D/A 変換回路と、を有し、前記 2 系統の階調電源線のうち、第 1 の系統の階調電源線は、前記奇数番目のソース信号線のみを駆動する各 D/A 変換回路に接続され、前記第 1 とは別系統の階調電源線は、前記偶数番目のソース信号線のみを駆動する各 D/A 変換回路に接続されることを特徴とする画像表示装置の駆動方法。

【請求項 29】請求項 26 において、前記各ソース線選択回路が奇数番目あるいは偶数番目のどちらか一方の前記ソース信号線を 1 水平書き込み期間のある一定期間内に連続的に選択することを特徴とする画像表示装置の駆動方法。

【請求項 30】請求項 27 において、前記各ソース線選択回路が奇数番目あるいは偶数番目のどちらか一方の前記ソース信号線を 1 水平書き込み期間のある一定期間内に連続的に選択することを特徴とする画像表示装置の駆動方法。

【請求項 31】請求項 26 乃至請求項 29 のいずれか 1 項において、奇数番目と偶数番目のソース信号線に印加される電圧の極性反転を周期的に行なうことを特徴とする画像表示装置の駆動方法。

【請求項 32】請求項 26 または請求項 29 において、前記制御信号は、1 フレーム期間内では 1 ゲート信号線選択期間の入力を繰り返し、かつ、連続するフレーム期間ではそれぞれ反転関係にあることを特徴とする画像表示装置の駆動方法。

【請求項 33】請求項 26 または請求項 29 において、前記制御信号は、1 フレーム期間内の連続するゲート信号線選択期間ではそれぞれ反転関係にあり、かつ、連続するフレーム期間でもそれぞれ反転関係にあることを特徴とする画像表示装置の駆動方法。

【請求項 34】請求項 27 または請求項 30 において、前記各階調電源線の電源電圧の入力は、1 フレーム期間内では 1 ゲート信号線選択期間の入力を繰り返し、かつ、連続するフレーム期間ではそれぞれ反転関係にあることを特徴とする画像表示装置の駆動方法。

【請求項 35】請求項 27 または請求項 30 において、前記各階調電源線の電源電圧の入力は、1 フレーム期間内の連続するゲート信号線選択期間ではそれぞれ反転関係にあり、かつ、連続するフレーム期間でもそれぞれ反転関係にあることを特徴とする画像表示装置の駆動方法。

【請求項 36】請求項 28 において、前記各階調電源線の電源電圧は、1 フレーム期間毎に極性反転することを特徴とする画像表示装置の駆動方法。

【請求項 37】請求項 28 において、前記各階調電源線

の電源電圧は、1フレーム期間内では1ゲート信号線選択期間毎に極性反転し、かつ、連続するフレーム期間のそれぞれの第1ゲート信号線選択期間を比較しても極性反転することを特徴とする画像表示装置の駆動方法。

【請求項38】請求項1乃至請求項15のいずれか1項に記載の前記画像表示装置を用いることを特徴とする電子機器。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

【0002】本発明は、マトリクス状に配置されたスイッチング素子と画素により映像などの情報の表示を行なう画像表示装置（アクティブマトリクス型画像表示装置）、特にデジタル方式の駆動方法とその画像表示装置に関する。

【0003】

【従来の技術】最近安価なガラス基板上に半導体薄膜を形成した半導体装置、例えば薄膜トランジスタ（TFT）を作製する技術が急速に発達してきている。その理由は、アクティブマトリクス型画像表示装置の一種であるアクティブマトリクス型液晶表示装置の需要が高まってきたことによる。

【0004】さらに、自発光型の発光素子を用いたアクティブマトリクス型画像表示装置の一種であるアクティブマトリクス型発光装置（以降、発光装置と記す）も活発に研究されている。本明細書では、発光素子としてEL素子などを示す。発光素子は、電場を加えることで発生するルミネッセンス（Electro Luminescence）が得られる有機化合物を含む層（以下、有機化合物層と記す）と、陽極層と、陰極層とを有する。有機化合物におけるルミネッセンスには、一重項励起状態から基底状態に戻る際の発光（蛍光）と三重項励起状態から基底状態に戻る際の発光（リン光）とがあるが、どちらの発光を用いても良い。

【0005】以下では、アクティブマトリクス型画像表示装置の代表的な例として、アクティブマトリクス型液晶表示装置を例にとって説明する。

【0006】アクティブマトリクス型液晶表示装置は、図40に示すように、ソース信号線駆動回路101と、ゲート信号線駆動回路102と、マトリクス状に配置された画素アレイ部103とを有している。ソース信号線駆動回路101は、クロック信号等のタイミング信号に同期して、入力された映像信号をサンプリングし各ソース信号線104にデータを書き込む。ゲート信号線駆動回路102は、クロック信号等のタイミングに同期して、ゲート信号線105を順次選択し、画素アレイ部103の各画素内にあるスイッチング素子であるTFT106のオン・オフを制御するようになっている。これにより、各ソース信号線104に書き込まれたデータが順次各画素に書き込まれることになる。

【0007】ソース信号線駆動回路の駆動方式としては、アナログ方式とデジタル方式があるが、高精細・高速駆動が可能なデジタル方式のアクティブマトリクス型液晶表示装置が注目されてきている。

【0008】従来のデジタル方式のソース信号線駆動回路を図41に示す。図41において、201はシフトレジスタ部を示し、フリップフロップ回路などを含むシフトレジスタ基本回路202から構成される。シフトレジスタ部201へスタートパルスSPが入力されるとクロック信号CLKに同期してサンプリングパルスが順次ラッチ1回路203（LAT1）へ送出される。

【0009】ラッチ1回路203（LAT1）では、シフトレジスタ部からのサンプリングパルスに同期して、データバスラインDATAから供給されるnビット（nは自然数）のデジタル映像信号を順次記憶する。

【0010】一水平画素分の信号がLAT1群へ書き込まれた後、各ラッチ1回路203（LAT1）に保持されている信号は、ラッチ信号バスラインLPから伝送されるラッチパルスに同期してラッチ2回路204（LAT2）に一齐に送出され、書き込まれる。

【0011】デジタル映像信号がラッチ2回路204（LAT2）に保持されると、再びスタートパルスSPが入力され、次行の画素分のデジタル映像信号がLAT1群へ新たに書き込まれる。この時、LAT2群へは、前行の画素分のデジタル映像信号が記憶されておりD/A変換回路205（デジタル/アナログ信号変換回路）によって、デジタル映像信号に対応したアナログ映像信号が各ソース信号線に書き込まれる。

【0012】液晶表示装置を駆動するには、信頼性向上のため1フレーム毎に極性の反転した電圧を液晶に与える、いわゆる交流駆動方法をとる。この交流駆動方法には、フリッカの発生を防ぐために、1ゲート信号線毎にソース信号線に書き込む電圧の極性反転を行なうゲートライン反転駆動や、1ソース信号線毎に極性反転した電圧を書き込むソースライン反転駆動、そして、水平・垂直方向に1画素単位で極性の反転した電圧を書き込むドット反転駆動がある。

【0013】図41では、D/A変換回路205に供給される複数の階調電源線が2系統示されている。Vref（+）は正の極性を、Vref（-）は負の極性をそれぞれD/A変換回路から出力するための階調電源線である。図41に示すような接続であれば第1ソース信号線SL1には正の極性を持つ電圧が、第2ソース信号線SL2には負の極性をもつ電圧が、第3ソース信号線SL3には正の極性を持つ電圧が、第4ソース信号線SL4には負の極性を持つ電圧がそれぞれ印加される。なお、この状態で階調電源線の電源電圧を1フレーム毎に極性反転させれば、図41に示したソース信号線駆動回路はソースライン反転駆動をおこなう。また、1ゲート信号線毎に階調電源線の電源電圧を極性反転させれば図41に示したソ

ース信号線駆動回路はドット反転駆動をおこなう。

【0014】また、図41とは異なり、1系統の階調電源線の入力のみで、1ゲート信号線毎に階調電源線の電源電圧を極性反転させればゲートライン反転駆動となる(図示せず)。

【0015】

【発明が解決しようとする課題】図41のD/A変換回路はそれぞれソース信号線1本を駆動する。しかし、高解像度、高精細の液晶表示装置を作成する場合、大きな面積を占めるD/A変換回路をソース信号線の本数と同数作るとは近年望まれている液晶表示装置の小型化の妨げとなっており、1つのD/A変換回路で複数のソース信号線を駆動する方法が特開平11-167373で提案されている。

【0016】1つのD/A変換回路で4本のソース信号線を駆動するソース信号線駆動回路の構成例を図42に示す。図41と比較して判るように図42にはパラレル/シリアル変換回路301(P/S変換回路)、ソース線選択回路302とそれらに入力される選択信号(S)が新たに追加されている。このような回路が追加されるにもかかわらず、4本のソース信号線を1つのD/A変換回路で駆動できれば、必要なD/A変換回路数が1/4で済む効果は大きく、ソース信号線駆動回路の占有面積を小さくすることが可能となる。

【0017】さて、このような1つのD/A変換回路で複数のソース信号線を駆動する方法であっても、上述のように液晶の交流駆動を行なう必要がある。従来の考え方からすると、個々のD/A変換回路は少なくとも一水平書き込み期間は常に同極性の出力をするものであった。それ故に、1つのD/A変換回路で複数のソース信号線を駆動する方法では、ゲートライン反転駆動やフレーム反転駆動が液晶の交流駆動として採用されていた。

【0018】ここで、1つのD/A変換回路で複数のソース信号線を駆動する方法でソースライン反転駆動やドット反転駆動を従来の考え方をもとに行なう上での問題点を、図43を用いて説明する。図43には、1つのD/A変換回路で4本のソース信号線を駆動する場合の具体例を示した。ここで、図41と同じように隣り合うD/A変換回路に、それらのD/A変換回路からの出力の極性が反転するように階調電源線を接続すると、ソース信号線が4本ごとに極性反転し完全なソースライン反転駆動とはならない。同様に完全なドット反転駆動にもならない。高画質を求めるならばこれでは十分とはいえない。このように、1つのD/A変換回路で複数のソース信号線を駆動する場合に、ソースライン反転駆動方法やドット反転駆動方法を行なうには、新たな駆動方法を構築する必要がある。

【0019】そこで本発明は、その駆動方法を提供するものである。

【0020】

【課題を解決するための手段】本発明の第1の駆動方法は、極性の異なる出力をD/A変換回路から得るために2系統の階調電源線がソース信号線駆動回路に供給され、各D/A変換回路には前記2系統の階調電源線との接続を切り替えるスイッチ(以降、接続切り替えスイッチと記す)を有し、その接続切り替えスイッチに入力される制御信号により各D/A変換回路へ接続される階調電源線を切り替え、ソースライン反転駆動やドット反転駆動を行なうことを特徴とする。

10 【0021】以降、本明細書では説明の便宜上、D/A変換回路と接続することでプラス極性の出力が得られる階調電源線のことを「プラス極性出力用の階調電源線」、逆にマイナス極性の出力が得られる階調電源線のことを「マイナス極性出力用の階調電源線」と表現する。また、D/A変換回路からプラス極性の出力が得られるように、前記D/A変換回路に接続された各階調電源線に電圧を付与することを「プラス極性出力用電圧を階調電源線に供給する」と表現する。同様に、D/A変換回路からマイナス極性の出力が得られるように、前記D/A変換回路に接続された各階調電源線に電圧を付与することを「マイナス極性出力用電圧を階調電源線に供給する」と表現する。

20 【0022】なお、プラス極性出力用の各階調電源線とマイナス極性出力用の各階調電源線は、対応する階調電源線の電源電圧がそれぞれ極性の反転した関係にある。したがって、一方の階調電源線全ての電源電圧の極性を反転させれば、もう一方の階調電源線と全く同じ役割を担うものになる。

30 【0023】上記第1の駆動方法の構成でソースライン反転駆動を行なうには以下のようにする。あるフレーム期間の各ゲート信号線選択期間中、奇数番目のソース信号線を選択する期間はプラス極性出力用の階調電源線をD/A変換回路と接続し、偶数番目のソース信号線を選択する期間はマイナス極性出力用の階調電源線をD/A変換回路と接続する。次フレーム期間の各ゲート信号線選択期間中、奇数番目のソース信号線を選択する期間はマイナス極性出力用の階調電源線をD/A変換回路と接続し、偶数番目のソース信号線を選択する期間はプラス極性出力用の階調電源線をD/A変換回路と接続する。

40 以上のように前記接続切り替えスイッチの制御信号をコントロールすることでソースライン反転駆動が可能となる。

【0024】特に、上記の駆動方法において、奇数番目のソース信号線を選択する期間或いは偶数番目のソース信号線を選択する期間を各ゲート信号線選択期間のある一定期間にまとめることにより、前記接続切り替えスイッチの制御信号の周期を長くすることができ、回路動作負担の低減を同時に図ることができる。

50 【0025】また、上記第1の駆動方法の構成でドット反転駆動を行なうためには以下のようにする。あるフレ

ーム期間の奇数番目のゲート信号線選択期間中、奇数番目のソース信号線を選択する期間はプラス極性出力用の階調電源線をD/A変換回路と接続し、偶数番目のソース信号線を選択する期間はマイナス極性出力用の階調電源線をD/A変換回路と接続する。同フレーム期間の偶数番目のゲート信号線選択期間中、奇数番目のソース信号線を選択する期間はマイナス極性出力用の階調電源線をD/A変換回路と接続し、偶数番目のソース信号線を選択する期間はプラス極性出力用の階調電源線をD/A変換回路と接続する。さらに次フレーム期間の奇数番目のゲート信号線選択期間中、奇数番目のソース信号線を選択する期間はマイナス極性出力用の階調電源線をD/A変換回路と接続し、偶数番目のソース信号線を選択する期間はプラス極性出力用の階調電源線をD/A変換回路と接続する。同フレーム期間の偶数番目のゲート信号線選択期間中、奇数番目のソース信号線を選択する期間はプラス極性出力用の階調電源線をD/A変換回路と接続し、偶数番目のソース信号線を選択する期間はマイナス極性出力用の階調電源線をD/A変換回路と接続する。以上のように前記接続切り替えスイッチの制御信号をコントロールすればドット反転駆動が可能となる。

【0026】特に、上記の駆動方法において、奇数番目のソース信号線を選択する期間と偶数番目のソース信号線を選択する期間を各ゲート信号線選択期間の前半と後半とに分離することで、前記接続切り替えスイッチの制御信号の周期を長くすることができ、回路動作負担の低減を同時に図ることができる。

【0027】本発明の第2の駆動方法は、第1の方法とは異なり1系統の階調電源線がソース信号線駆動回路に供給され、各D/A変換回路には直接接続され、この階調電源線の電源電圧の極性を反転させることによりソースライン反転駆動やドット反転駆動を行なうことを特徴とする。

【0028】上記第2の駆動方法の構成でソースライン反転駆動を行なうには、以下のようにする。あるフレーム期間の各ゲート信号線選択期間中、奇数番目のソース信号線を選択する期間はプラス極性出力用電圧を階調電源線に供給し、偶数番目のソース信号線を選択する期間はマイナス極性出力用電圧を階調電源線に供給する。次フレーム期間の各ゲート信号線選択期間中、奇数番目のソース信号線を選択する期間はマイナス極性出力用電圧を階調電源線に供給し、偶数番目のソース信号線を選択する期間はプラス極性出力用電圧を階調電源線に供給する。以上のように階調電源線の電源電圧の極性を反転させることでソースライン反転駆動が可能となる。

【0029】特に、上記の駆動方法においても、奇数番目のソース信号線を選択する期間或いは偶数番目のソース信号線を選択する期間を各ゲート信号線選択期間のある一定期間にまとめることにより、階調電源線の電源電圧の極性が反転する周期を長くすることができ、回路動

作負担の低減を同時に図ることができる。

【0030】また、上記第2の駆動方法の構成でドット反転駆動を行なうには、以下のようにする。あるフレーム期間の奇数番目のゲート信号線選択期間中、奇数番目のソース信号線を選択する期間はプラス極性出力用電圧を階調電源線に供給し、偶数番目のソース信号線を選択する期間はマイナス極性出力用電圧を階調電源線に供給する。同フレーム期間の偶数番目のゲート信号線選択期間中、奇数番目のソース信号線を選択する期間はマイナス極性出力用電圧を階調電源線に供給し、偶数番目のソース信号線を選択する期間はプラス極性出力用電圧を階調電源線に供給する。さらに次フレーム期間の奇数番目のゲート信号線選択期間中、奇数番目のソース信号線を選択する期間はマイナス極性出力用電圧を階調電源線に供給し、偶数番目のソース信号線を選択する期間はプラス極性出力用電圧を階調電源線に供給する。同フレーム期間の偶数番目のゲート信号線選択期間中、奇数番目のソース信号線を選択する期間はプラス極性出力用電圧を階調電源線に供給し、偶数番目のソース信号線を選択する期間はマイナス極性出力用電圧を階調電源線に供給する。以上のように階調電源線の電源電圧の極性を反転させることでドット反転駆動が可能となる。

【0031】特に、前記の駆動方法においても、奇数番目のソース信号線を選択する期間と偶数番目のソース信号線を選択する期間を各ゲート信号線選択期間の前半と後半とに分離することで、階調電源線の電源電圧の極性が反転する周期を長くすることができ、回路動作負担の低減を同時に図ることができる。

【0032】本発明の第3の駆動方法は、第1の方法と同様に極性の異なる出力をD/A変換回路から得るために2系統の階調電源線がソース信号線駆動回路に供給される。ただし、各D/A変換回路に接続される複数のソース信号線は奇数番目あるいは偶数番目の一方でまとめる。そして、奇数番目のソース信号線に接続される各D/A変換回路には第1系統の階調電源線を接続し、偶数番目のソース信号線に接続される各D/A変換回路には第2系統の階調電源線を接続し、さらに全ての階調電源線の電源電圧の極性反転を周期的におこなうことにより、ソースライン反転駆動やドット反転駆動を行なうことを特徴とする。

【0033】上記第3の駆動方法の構成でソースライン反転駆動を行なうには、以下のようにする。あるフレーム期間中、第1系統の階調電源線にはプラス極性出力用電圧を供給し、第2系統の階調電源線にはマイナス極性出力用電圧を供給する。次フレーム期間中、第1系統の階調電源線にはマイナス極性出力用電圧を供給し、第2系統の階調電源線にはプラス極性出力用電圧を供給する。以上のように階調電源線に電源電圧を付与させることでソースライン反転駆動が可能となる。

【0034】また、上記第3の駆動方法の構成でドット

反転駆動を行なうには、以下のようにする。あるフレーム期間の奇数番目のゲート信号線選択期間中、第1系統の階調電源線にはプラス極性出力用電圧を供給し、第2系統の階調電源線にはマイナス極性出力用電圧を供給する。同フレーム期間の偶数番目のゲート信号線選択期間中、第1系統の階調電源線にはマイナス極性出力用電圧を供給し、第2系統の階調電源線にはプラス極性出力用電圧を供給する。さらに次フレーム期間の奇数番目のゲート信号線選択期間中、第1系統の階調電源線にはマイナス極性出力用電圧を供給し、第2系統の階調電源線にはプラス極性出力用電圧を供給する。同フレーム期間の偶数番目のゲート信号線選択期間中、第1系統の階調電源線にはプラス極性出力用電圧を供給し、第2系統の階調電源線にはマイナス極性出力用電圧を供給する。以上のように階調電源線に電源電圧を付与させることでドット反転駆動が可能となる。

【0035】

【発明の実施の形態】以下、本発明の実施の形態について、図面を参照しながら説明する。

【0036】【実施形態1】本実施形態では、極性の異なる出力をD/A変換回路から得るために独立な2系統の階調電源線がソース信号線駆動回路に供給され、接続切り替えスイッチによって各D/A変換回路と2系統の階調電源線との接続を切り替えることによりソースライン反転やドット反転駆動を可能とするある一つの方法について説明する。

【0037】本実施形態では、1つのD/A変換回路で偶数本のソース信号線を駆動する形態として、4本のソース信号線を駆動し(n+1)ビット(nは0以上の整数)のデジタル映像信号入力に対応する場合を例にとって説明する。

【0038】図1には本実施形態の概略回路図が示されている。図1では、デジタル映像信号を順次サンプリングするためのサンプリングパルスを発生させるシフトレジスタ部、前記サンプリングパルスによりデジタル映像信号をラッチするラッチ1回路部、そして、ラッチパルスの入力により前記ラッチ1回路部に記憶されていたデジタル映像信号を一斉にラッチするラッチ2回路部は省略した。パラレル/シリアル変換回路(P/S変換回路)は、ラッチ2回路のパラレルな出力データ(D0[4k+1]~Dn[4k+1]、D0[4k+2]~Dn[4k+2]、D0[4k+3]~Dn[4k+3]、D0[4k+4]~Dn[4k+4](kは0以上の整数))を各ビットでまとめシリアルデータに変換する。ここで、D0[4k+1]は第(4k+1)ソース信号線に対する最下位(第1)ビット(LSB)のデジタル映像信号を示し、Dn[4k+1]は同じく第(4k+1)ソース信号線に対する最上位(第(n+1))ビット(MSB)のデジタル映像信号を示す。以降、表記Di[s]は第sソース信号線に対する第(i+1)ビットのデジタル映像信号を示すものとする。

【0039】100aは2系統の階調電源線Vref1、Vref2とD/A変換回路との接続切り替えを行なう接続切り替えスイッチで、切り替え制御信号SVrによりどちらかに接続される。ここで、2系統の階調電源線のうち、Vref1を接続されたD/A変換回路はプラス極性を、Vref2を接続されたD/A変換回路はマイナス極性を出力するものとする。また、便宜上本明細書において、接続切り替えスイッチ100a、100b(図3に示す)は、SVrがHiの時には下方の端子に接続し、Loの時には上方の端子に接続するものとする。なお、本発明はこの接続切り替えスイッチの回路構成に限定されるものではなく、同様な動作を行なういかなる回路に対しても適用され得る。

【0040】ソース線選択回路は4つのスイッチsw1、sw2、sw3、sw4から成り、sw1がオンすると第(4k+1)番目のソース信号線が各D/A変換回路の出力と接続され、sw2がオンすると第(4k+2)番目のソース信号線が各D/A変換回路の出力と接続され、sw3がオンすると第(4k+3)番目のソース信号線が各D/A変換回路の出力と接続され、sw4がオンすると第(4k+4)番目のソース信号線が各D/A変換回路の出力と接続される。SS1~SS4はそれぞれsw1~sw4のオン・オフを制御する選択信号である。

【0041】図1の信号動作タイミングを図2に示す。1ゲート信号線選択期間を4つに分割し、第1番目の期間にSS1をHiレベルにしsw1をオンし、第2番目の期間にSS2をHiレベルにしsw2をオンし、第3番目の期間にSS3をHiレベルにしsw3をオンし、第4番目の期間にSS4をHiレベルにしsw4をオンする動作を示す。なお、各P/S変換回路の各ビットデータの出力は、上記の選択信号(SS1~SS4)と同期させ、ゲート信号線選択期間を4分割し、その第1番目の期間には第(4k+1)ソース信号線のデータを出力し、第2番目の期間には第(4k+2)ソース信号線のデータを出力し、第3番目の期間には第(4k+3)ソース信号線のデータを出力し、第4番目の期間には第(4k+4)ソース信号線のデータを出力するようにP/S変換回路に入力される選択信号SSにより制御する。こうすることで、各ソース信号線に対応したデジタル映像信号が適切なソース信号線の書き込みに反映される。この様子を、図2のD0_1~Dn_1、D0_5~Dn_5に示した。ここで、Di_1は図1において左のP/S変換回路の第(i+1)ビット目の出力データであり、Di_5は図1において右のP/S変換回路の第(i+1)ビット目の出力データである。また、図2において、Di[s,g]は第s列第g行の画素に対する第(i+1)番目のビットデータを示し、上記表記Di[s]にあらわにゲート信号線の情報を付加したものである。(以降、表記Di[s,g]は同じ意味とする)

【0042】つぎに、D/A変換回路への階調電源線の

切り替え制御信号 SV_r の入力方法によって、ソースライン反転やドット反転駆動が可能であることを示す。

【0043】ソースライン反転駆動を行なう場合の、制御信号 SV_r の入力信号を図2の $SV_r(s)$ 、 $SV_r(sb)$ に示す。ここで、 $SV_r(sb)$ は $SV_r(s)$ 入力時の次フレーム期間での制御信号 SV_r を示し、 $SV_r(s)$ の反転信号である。この結果、各画素に書き込まれる極性は図12a) のようになる。

【0044】また、ドット反転駆動を行なう場合の制御信号 SV_r の入力方法を図2の $SV_r(d)$ 、 $SV_r(db)$ に示す。ここで、 $SV_r(db)$ は $SV_r(d)$ 入力時の次フレーム期間での制御信号 SV_r を示し、 $SV_r(d)$ の反転信号である。この結果、各画素に書き込まれる極性は図12b) のようになる。

【0045】以上、本実施形態により、1つのD/A変換回路で4本のソース信号線を駆動する場合であっても、ソースライン反転駆動方法やドット反転駆動方法を行なうことが可能となる。なお、本実施形態では、1つのD/A変換回路で4本のソース信号線を駆動する場合を例に挙げているが、本発明はこれに限定されるものではなく、2本、4本、・・・といった偶数本のソース信号線を1つのD/A変換回路で駆動する場合にも適用され得る。

【0046】[実施形態2]本実施形態では、実施形態1と同じく極性の異なる出力をD/A変換回路から得るために2系統の階調電源線がソース信号線駆動回路に供給され、接続切り替えスイッチによって各D/A変換回路と2系統の階調電源線との接続を切り替える方法でソースライン反転やドット反転駆動を可能とする別の一つの方法について説明する。

【0047】本実施形態では、1つのD/A変換回路で奇数本のソース信号線を駆動する形態として、3本のソース信号線を駆動し $(n+1)$ ビット (n は0以上の整数) のデジタル映像信号入力に対応する場合を例にとって説明する。

【0048】図3には本実施形態の概略回路図が示されている。図3では、図1と同様、シフトレジスタ部、ラッチ1回路部、ラッチ2回路部は省略した。パラレル/シリアル変換回路(P/S変換回路)は、ラッチ2回路のパラレルな出力データ $(D0[3k+1] \sim Dn[3k+1], D0[3k+2] \sim Dn[3k+2], D0[3k+3] \sim Dn[3k+3])$ (k は0以上の整数) を各ビットでまとめシリアルデータに変換する。

【0049】ここで、D/A変換回路と階調電源線 V_{ref1} 、 V_{ref2} との接続切り替えをおこなう接続切り替えスイッチ100bの、階調電源線との接続方法が異なることに注意を要する。図3に示したように隣り合う二つの接続切り替えスイッチ100bは、2系統の階調電源線 V_{ref1} 、 V_{ref2} との接続が逆になっている。同じ制御信号 SV_r で各接続切り替えスイッチ100bが制御

されるので、隣り合うD/A変換回路は同時刻では常に逆極性出力用の階調電源線と接続される。これを反映して隣り合うD/A変換回路の出力は、同時刻では常に逆極性となる。したがって、実施形態1と異なり、1つのD/A変換回路で3本のソース信号線を駆動する場合でも、隣り合うソース信号線に極性の反転した電位を書き込むことが可能となる。

【0050】なお、上述のように隣り合う接続切り替えスイッチ100bの階調電源線との接続方法を変更せず、隣り合う接続切り替えスイッチの動作を逆にしても同じ結果を得ることができる。

【0051】ソース線選択回路は3つのスイッチ $sw1$ 、 $sw2$ 、 $sw3$ から成り、 $sw1$ がオンすると第 $(3k+1)$ 番目のソース信号線が各D/A変換回路の出力と接続され、 $sw2$ がオンすると第 $(3k+2)$ 番目のソース信号線が各D/A変換回路の出力と接続され、 $sw3$ がオンすると第 $(3k+3)$ 番目のソース信号線が各D/A変換回路の出力と接続される。SS1～SS3はそれぞれ $sw1 \sim sw3$ のオン・オフを制御する選択信号である。

【0052】図3の信号動作タイミングを図4に示す。1ゲート信号線選択期間を3つに分割し、第1番目の期間にSS1をHiレベルにし $sw1$ をオンし、第2番目の期間にSS2をHiレベルにし $sw2$ をオンし、第3番目の期間にSS3をHiレベルにし $sw3$ をオンする動作を示す。なお、各P/S変換回路の各ビットデータの出力は、上記の選択信号(SS1～SS3)と同期させ、ゲート信号線選択期間を3分割し、その第1番目の期間には第 $(3k+1)$ ソース信号線のデータを出力し、第2番目の期間には第 $(3k+2)$ ソース信号線のデータを出力し、第3番目の期間には第 $(3k+3)$ ソース信号線のデータを出力するようにP/S変換回路に入力される選択信号SSにより制御する。こうすることで、各ソース信号線に対応したデジタル映像信号が適切なソース信号線の書き込みに反映される。この様子を、図4の $D0_1 \sim Dn_1$ 、 $D0_4 \sim Dn_4$ に示した。ここで、 Di_1 は図3において左のP/S変換回路の第 $(i+1)$ ビット目の出力データであり、 Di_4 は図3において右のP/S変換回路の第 $(i+1)$ ビット目の出力データである。

【0053】つぎに、D/A変換回路への階調電源線の切り替え制御信号 SV_r の入力方法によって、ソースライン反転やドット反転駆動が可能であることを示す。

【0054】ソースライン反転駆動を行なう場合の、制御信号 SV_r の入力信号を図4の $SV_r(s)$ 、 $SV_r(sb)$ に示す。ここで、 $SV_r(sb)$ は $SV_r(s)$ 入力時の次フレーム期間での制御信号 SV_r を示し、 $SV_r(s)$ の反転信号である。この結果、各画素に書き込まれる極性は図12a) のようになる。

【0055】また、ドット反転駆動を行なう場合の制御

信号SV_rの入力方法を図4のSV_r(d)、SV_r(db)に示す。ここで、SV_r(db)はSV_r(d)入力時の次フレーム期間での制御信号SV_rを示し、SV_r(d)の反転信号である。この結果、各画素に書き込まれる極性は図12b)のようになる。

【0056】以上、本実施形態により、1つのD/A変換回路で3本のソース信号線を駆動する場合であっても、ソースライン反転駆動方法やドット反転駆動方法を行なうことが可能となる。なお、本実施形態では、1つのD/A変換回路で3本のソース信号線を駆動する場合を例に挙げているが、本発明はこれに限定されるものではなく、3本、5本、・・・といった奇数本のソース信号線を1つのD/A変換回路で駆動する場合にも適用され得る。

【0057】[実施形態3]本実施形態では、回路構成は実施形態1と同じであるが、信号の入力方法を変えることで、階調電源線の接続切り替えスイッチを制御する制御信号の周期を長くする方法を示す。

【0058】この時の図1に対する動作タイミングを図5に示す。実施形態1と同じように1ゲート信号線選択期間を4つに分割し、第1番目の期間にSS1をHiレベルにしsw1をオンし、第2番目の期間にSS3をHiレベルにしsw3をオンし、第3番目の期間にSS2をHiレベルにしsw2をオンし、第4番目の期間にSS4をHiレベルにしsw4をオンする動作を示す。なお、各P/S変換回路の各ビットデータの出力は、上記の選択信号(SS1~SS4)と同期させ、ゲート信号線選択期間を4分割し、その第1番目の期間には第(4k+1)ソース信号線のデータを出力し、第2番目の期間には第(4k+3)ソース信号線のデータを出力し、第3番目の期間には第(4k+2)ソース信号線のデータを出力し、第4番目の期間には第(4k+4)ソース信号線のデータを出力するようにP/S変換回路に入力される選択信号SSにより制御する。こうすることで、各ソース信号線に対応したデジタル映像信号が適切なソース信号線の書き込みに反映される。この様子を、図5のD0__1~Dn__1、D0__5~Dn__5に示した。ここで、Di__1は図1において左のP/S変換回路の第(i+1)ビット目の出力データであり、Di__5は図1において右のP/S変換回路の第(i+1)ビット目の出力データである。

【0059】ソースライン反転駆動を行なう場合の、制御信号SV_rの入力信号を図5のSV_r(s)、SV_r(sb)に示す。ここで、SV_r(sb)はSV_r(s)入力時の次フレーム期間での制御信号SV_rを示し、SV_r(s)の反転信号である。この結果、各画素に書き込まれる極性は図12a)のようになる。図5のSV_r(s)、SV_r(sb)は、図2のそれらより周期が長くなっていることが分かる。

【0060】また、ドット反転駆動を行なう場合の制御信号SV_rの入力方法を図5のSV_r(d)、SV_r

(db)に示す。ここでも、SV_r(db)はSV_r(d)入力時の次フレーム期間での制御信号SV_rを示し、SV_r(d)の反転信号である。この結果、各画素に書き込まれる極性は図12b)のようになる。図5のSV_r(d)、SV_r(db)は図2のそれらより周期が長いことが分かる。また、図5のSV_r(s)、SV_r(sb)に比べてもSV_r(d)、SV_r(db)の周期が一番長いことが分かる。

【0061】以上、本実施形態により、1つのD/A変換回路で4本のソース信号線を駆動する場合であっても、ソースライン反転駆動方法やドット反転駆動方法を行ない、さらに階調電源線を選択する制御信号の周期を長くすることが可能となる。なお、本実施形態では、1つのD/A変換回路で4本のソース信号線を駆動する場合を例に挙げているが、本発明はこれに限定されるものではなく、4本以上の偶数本のソース信号線を1つのD/A変換回路で駆動する場合にも適用され得る。なお、2本のソース信号線を1つのD/A変換回路で駆動する場合、本実施形態は実施形態1と同等になる。

【0062】[実施形態4]本実施形態では、回路構成は実施形態2と同じであるが、信号の入力方法を変えることで、階調電源線の接続切り替えスイッチを制御する制御信号の周期を同等かそれ以上に長くする方法を示す。

【0063】この時の図3に対する動作タイミングを図6に示す。実施形態2と同じように1ゲート信号線選択期間を3つに分割し、第1番目の期間にSS1をHiレベルにしsw1をオンし、第2番目の期間にSS3をHiレベルにしsw3をオンし、第3番目の期間にSS2をHiレベルにしsw2をオンする動作を示す。なお、各P/S変換回路の各ビットデータの出力は、上記の選択信号(SS1~SS3)と同期させ、ゲート信号線選択期間を3分割し、その第1番目の期間には第(3k+1)ソース信号線のデータを出力し、第2番目の期間には第(3k+3)ソース信号線のデータを出力し、第3番目の期間には第(3k+2)ソース信号線のデータを出力するようにP/S変換回路に入力される選択信号SSにより制御する。こうすることで、各ソース信号線に対応したデジタル映像信号が適切なソース信号線の書き込みに反映される。この様子を、図6のD0__1~Dn__1、D0__4~Dn__4に示した。ここで、Di__1は図3において左のP/S変換回路の第(i+1)ビット目の出力データであり、Di__4は図3において右のP/S変換回路の第(i+1)ビット目の出力データである。

【0064】ソースライン反転駆動を行なう場合の、制御信号SV_rの入力信号を図6のSV_r(s)、SV_r(sb)に示す。ここで、SV_r(sb)はSV_r(s)入力時の次フレーム期間での制御信号SV_rを示し、SV_r(s)の反転信号である。この結果、各画素に書き込まれる極性は図12a)のようになる。図6のSV_r(s)、SV_r(sb)は、図4のそれらと同じ

周期になっていることが分かる。

【0065】また、ドット反転駆動を行なう場合の制御信号SVrの入力方法を図6のSVr(d)、SVr(d b)に示す。ここでも、SVr(d b)はSVr(d)入力時の次フレーム期間での制御信号SVrを示し、SVr(d)の反転信号である。この結果、各画素に書き込まれる極性は図12 b)のようになる。図6のSVr(d)、SVr(d b)は図4のそれらより周期が長いことが分かる。また、図6のSVr(s)、SVr(s b)に比べてもSVr(d)、SVr(d b)の

周期が一番長いことが分かる。
【0066】以上、本実施形態により、1つのD/A変換回路で3本のソース信号線を駆動する場合であっても、ソースライン反転駆動方法やドット反転駆動方法を行ない、さらに階調電源線を選択する制御信号の周期を実施形態2と同等かそれ以上に長くすることが可能となる。なお、本実施形態では、1つのD/A変換回路で3本のソース信号線を駆動する場合を例に挙げているが、本発明はこれに限定されるものではなく、3本以上の奇数本のソース信号線を1つのD/A変換回路で駆動する

場合にも適用され得る。なお、5本以上のソース信号線を1つのD/A変換回路で駆動する場合であれば本実施形態により、ソースライン反転駆動における階調電源線を選択する制御信号の周期を実施形態2よりも長くすることができる。

【0067】[実施形態5]本実施形態では、実施形態1とは異なり1系統の階調電源線がD/A変換回路に供給され、その階調電源線の電源電圧の極性を反転させることによりソースライン反転やドット反転駆動を可能とするある一つの方法について説明する。

【0068】本実施形態では、1つのD/A変換回路で4本のソース信号線を駆動し(n+1)ビット(nは0以上の整数)のデジタル映像信号入力に対応する場合を例にとって説明する。
【0069】図7には本実施形態の概略回路図が示されている。図7では、図1と同様、シフトレジスタ部、ラッチ1回路部、ラッチ2回路部は省略した。パラレル/シリアル変換回路(P/S変換回路)は、ラッチ2回路のパラレルな出力データ(D0[4k+1]~Dn[4k+1]、D0[4k+2]~Dn[4k+2]、D0[4k+3]~Dn[4k+3]、D0[4k+4]~Dn[4k+4](kは0以上の整数))を各ビットでまとめシリアルデータに変換する。

【0070】ソース線選択回路は4つのスイッチsw1、sw2、sw3、sw4から成り、sw1がオンすると第(4k+1)番目のソース信号線がD/A変換回路の出力と接続され、sw2がオンすると第(4k+2)番目のソース信号線がD/A変換回路の出力と接続され、sw3がオンすると第(4k+3)番目のソース信号線がD/A変換回路の出力と接続され、sw4がオンすると第(4k+4)番目のソース信号線がD/A変換回路の出力と接続

される。SS1~SS4はそれぞれsw1~sw4のオン・オフを制御する選択信号である。

【0071】図7の信号動作タイミングを図8に示す。1ゲート信号線選択期間を4つに分割し、第1番目の期間にSS1をHiレベルにしsw1をオンし、第2番目の期間にSS2をHiレベルにしsw2をオンし、第3番目の期間にSS3をHiレベルにしsw3をオンし、第4番目の期間にSS4をHiレベルにしsw4をオンする動作を示す。なお、各P/S変換回路の各ビットデータの出力は、上記の選択信号(SS1~SS4)と同期させ、ゲート信号線選択期間を4分割し、その第1番目の期間には第(4k+1)ソース信号線のデータを出力し、第2番目の期間には第(4k+2)ソース信号線のデータを出力し、第3番目の期間には第(4k+3)ソース信号線のデータを出力し、第4番目の期間には第(4k+4)ソース信号線のデータを出力するようにP/S変換回路に入力される選択信号により制御する。こうすることで、各ソース信号線に対応したデジタル映像信号が適切なソース信号線の書き込みに反映される。この様子を、図8のD0_1~Dn_1、D0_5~Dn_5に示した。ここで、Di_1は図7において左のP/S変換回路の第(i+1)ビット目の出力データであり、Di_5は図7において右のP/S変換回路の第(i+1)ビット目の出力データである。

【0072】つぎに、D/A変換回路へ接続される階調電源線Vrefの電源電圧の入力方法によって、ソースライン反転やドット反転駆動が可能であることを示す。

【0073】ソースライン反転駆動を行なう場合の、階調電源線Vrefの電源電圧の入力方法を図8のVref(s)、Vref(s b)に示す。図中(+)は、プラス極性出力用電圧を階調電源線に供給することを示し、(-)はマイナス極性出力用電圧を階調電源線に供給することを示す。また、Vref(s b)はVref(s)入力時の次フレーム期間での階調電源線Vrefの電源電圧の入力方法を示し、Vref(s)とは反転関係にある。この結果、各画素に書き込まれる極性は図12 a)のようになる。

【0074】また、ドット反転駆動を行なう場合の、階調電源線Vrefの電源電圧の入力方法を図8のVref(d)、Vref(d b)に示す。ここでも、Vref(d b)はVref(d)入力時の次フレーム期間での階調電源線Vrefの電源電圧の入力方法を示し、Vref(d)とは反転関係にある。この結果、各画素に書き込まれる極性は図12 b)のようになる。

【0075】以上、本実施形態により、1つのD/A変換回路で複数のソース信号線を駆動する場合に、ソースライン反転駆動方法やドット反転駆動方法を行なうことが可能となる。なお、本実施形態では、1つのD/A変換回路で4本のソース信号線を駆動する場合を例に挙げているが、本発明はこれに限定されるものではなく、2

本、4本、・・・といった偶数本のソース信号線を1つのD/A変換回路で駆動する場合にも適用され得る。

【0076】[実施形態6]本実施形態では、回路構成は実施形態5と同じであるが、階調電源線の電源電圧の入力方法を変えることで、階調電源線の電源電圧の極性が反転する周期を長くする方法を示す。

【0077】この時の図7に対する動作タイミングを図9に示す。実施形態5と同じように1ゲート信号線選択期間を4つに分割し、第1番目の期間にSS1をHiレベルにしsw1をオンし、第2番目の期間にSS3をHiレベルにしsw3をオンし、第3番目の期間にSS2をHiレベルにしsw2をオンし、第4番目の期間にSS4をHiレベルにしsw4をオンする動作を示す。なお、各P/S変換回路の各ビットデータの出力は、上記の選択信号(SS1~SS4)と同期させ、ゲート信号線選択期間を4分割し、その第1番目の期間には第(4k+1)ソース信号線のデータを出力し、第2番目の期間には第(4k+3)ソース信号線のデータを出力し、第3番目の期間には第(4k+2)ソース信号線のデータを出力し、第4番目の期間には第(4k+4)ソース信号線のデータを出力するようにP/S変換回路に入力される選択信号により制御する。こうすることで、各ソース信号線に対応したデジタル映像信号が適切なソース信号線の書き込みに反映される。この様子を、図9のD0_1~Dn_1、D0_5~Dn_5に示した。ここで、Di_1は図7において左のP/S変換回路の第(i+1)ビット目の出力データであり、Di_5は図7において右のP/S変換回路の第(i+1)ビット目の出力データである。

【0078】つぎに、D/A変換回路への階調電源線Vrefの電源電圧の入力方法によって、ソースライン反転やドット反転駆動が可能であり、その電源電圧の極性が反転する周期を実施形態5より長くできることを示す。

【0079】ソースライン反転駆動を行なう場合の、階調電源線Vrefの電源電圧の入力方法を図9のVref(s)、Vref(s b)に示す。図中(+)は、プラス極性出力用電圧を階調電源線に供給することを示し、(-)はマイナス極性出力用電圧を階調電源線に供給することを示す。また、Vref(s b)はVref(s)入力時の次フレーム期間での階調電源線Vrefの電源電圧の入力方法を示し、Vref(s)とは反転関係にある。この結果、各画素に書き込まれる極性は図12a)のようになる。図9のVref(s)、Vref(s b)は、図8のそれらより極性を反転する周期が長くなっていることが分かる。

【0080】また、ドット反転駆動を行なう場合の、階調電源線Vrefの電源電圧の入力方法を図9のVref(d)、Vref(d b)に示す。ここでも、Vref(d b)はVref(d)入力時の次フレーム期間での階調電源線Vrefの電源電圧の入力方法を示し、Vref(d)とは反転関係にある。この結果、各画素に書き込まれる極

性は図12b)のようになる。図9のVref(d)、Vref(d b)は図8のそれらより電源電圧の極性の反転する周期が長いことが分かる。また、図8のVref(s)、Vref(s b)に比べてもVref(d)、Vref(d b)の周期が一番長いことが分かる。

【0081】以上、本実施形態により、1つのD/A変換回路で複数のソース信号線を駆動する場合に、ソースライン反転駆動方法やドット反転駆動方法を行ない、さらに階調電源線の電源電圧の極性が反転する周期を長くすることが可能となる。なお、本実施形態では、1つのD/A変換回路で4本のソース信号線を駆動する場合を例に挙げているが、本発明はこれに限定されるものではなく、4本以上の偶数本のソース信号線を1つのD/A変換回路で駆動する場合にも適用され得る。なお、2本のソース信号線を1つのD/A変換回路で駆動する場合、本実施形態は実施形態5と同等になる。

【0082】[実施形態7]本実施形態では、実施形態1と同様に極性の異なる出力をD/A変換回路から得るために独立な2系統の階調電源線がソース信号線駆動回路に供給されるが、各D/A変換回路が駆動するソース信号線を奇数番目か或いは偶数番目かを区別し、奇数番目のソース信号線を駆動する各D/A変換回路には第1系統の階調電源線を接続し、偶数番目のソース信号線を駆動する各D/A変換回路には第2系統の階調電源線を接続し、さらに階調電源線の極性を変えることによりソースライン反転やドット反転駆動を可能とするある一つの方法について説明する。

【0083】本実施形態では、1つのD/A変換回路で2本のソース信号線を駆動し(n+1)ビット(nは0以上の整数)のデジタル映像信号入力に対応する場合を例にとつて説明する。

【0084】図10には本実施形態の概略回路図が示されている。図10では、図1と同様、シフトレジスタ部、ラッチ1回路部、ラッチ2回路部は省略した。パラレル/シリアル変換回路(P/S変換回路)は、ラッチ2回路のパラレルな出力データ(D0[4k+1]~Dn[4k+1]、D0[4k+3]~Dn[4k+3]、或いはD0[4k+2]~Dn[4k+2]、D0[4k+4]~Dn[4k+4](kは0以上の整数))を各ビットでまとめシリアルデータに変換する。

【0085】ここで、各パラレル/シリアル変換回路に入力されるデジタル映像信号は、奇数番目のソース信号線、或いは偶数番目のソース信号線のどちらか一方である。これを反映して、各D/A変換回路に入力されるデジタル映像信号も奇数番目のソース信号線、或いは偶数番目のソース信号線のどちらか一方である。

【0086】奇数番目のソース信号線のデジタル映像信号が入力される各D/A変換回路には、第1系統の階調電源線Vref1が接続され、偶数番目のソース信号線のデジタル映像信号が入力される各D/A変換回路には第2系統の階調電源線Vref2が接続される。

【0087】ソース線選択回路は2つのスイッチ sw_1 、 sw_2 から成り、 sw_1 がオンすると第 $(4k+1)$ 番目と第 $(4k+2)$ 番目のソース信号線が各 D/A 変換回路の出力と接続され、 sw_2 がオンすると第 $(4k+3)$ 番目と第 $(4k+4)$ 番目のソース信号線が各 D/A 変換回路の出力と接続される。SS1~SS2 はそれぞれ sw_1 ~ sw_2 のオン・オフを制御する選択信号である。

【0088】図10の信号動作タイミングを図11に示す。1 ゲート信号線選択期間を2つに分割し、第1番目の期間に SS1 を Hi レベルにし sw_1 をオンし、第2番目の期間に SS2 を Hi レベルにし sw_2 をオンする動作を示す。なお、各 P/S 変換回路の各ビットデータの出力は、上記の選択信号 (SS1~SS2) と同期させ、ゲート信号線選択期間を2分割し、その第1番目の期間には第 $(4k+1)$ ソース信号線或いは第 $(4k+2)$ ソース信号線のデータを出力し、第2番目の期間には第 $(4k+3)$ ソース信号線或いは第 $(4k+4)$ ソース信号線のデータを出力するように P/S 変換回路に入力される選択信号により制御する。こうすることで、各ソース信号線に対応したデジタル映像信号が適切なソース信号線の書き込みに反映される。この様子を、図11の $D0_1 \sim Dn_1$ 、 $D0_2 \sim Dn_2$ に示した。ここで、 Di_1 は図10において左の P/S 変換回路の第 $(i+1)$ ビット目の出力データであり、 Di_2 は図10において右の P/S 変換回路の第 $(i+1)$ ビット目の出力データである。

【0089】ソースライン反転駆動を行なう場合の、第1系統の階調電源線 $Vref1$ および第2系統の階調電源線 $Vref2$ の電源電圧の入力方法を図11の $Vref1(s)$ 、 $Vref2(s)$ および $Vref1(sb)$ 、 $Vref2(sb)$ に示す。図中 (+) はプラス極性出力用電圧を該当階調電源線に供給することを示し、(-) はマイナス極性出力用電圧を該当階調電源線に供給することを示す。また、 $Vref1(sb)$ は $Vref1(s)$ 入力時の次フレーム期間での第1系統の階調電源線 $Vref1$ の電源電圧の入力方法を示し、 $Vref1(s)$ とは反転関係にある。同様に、 $Vref2(sb)$ は $Vref2(s)$ 入力時の次フレーム期間での第2系統の階調電源線 $Vref2$ の電源電圧の入力方法を示し、 $Vref2(s)$ とは反転関係にある。この結果、各画素に書き込まれる極性は図12a) のようになる。

【0090】また、ドット反転駆動を行なう場合の、第1系統の階調電源線 $Vref1$ および第2系統の階調電源線 $Vref2$ の電源電圧の入力方法を図11の $Vref1(d)$ 、 $Vref2(d)$ および $Vref1(db)$ 、 $Vref2(db)$ に示す。また、 $Vref1(db)$ は $Vref1(d)$ 入力時の次フレーム期間での第1系統の階調電源線 $Vref1$ の電源電圧の入力方法を示し、 $Vref1(d)$ とは反転関係にある。同様に、 $Vref2(db)$ は $Vref2(d)$ 入力時の次フレーム期間での第2系統の階調電源線 $Vref2$ の電源電圧の入力方法を示し、 $Vref2(d)$ とは反転関係にある。この結果、各画素に書き込まれる極性は図12b) 50

のようになる。

【0091】以上、本実施形態により、1つの D/A 変換回路で2本のソース信号線を駆動する場合に、ソースライン反転駆動方法やドット反転駆動方法を行なうことが可能となる。なお、本実施形態では、1つの D/A 変換回路で2本のソース信号線を駆動する場合を例に挙げているが、本発明はこれに限定されるものではなく、任意の本数のソース信号線を1つの D/A 変換回路で駆動する場合にも適用され得る。

10 【0092】以上、全ての実施形態では、パラレル/シリアル変換回路 (P/S 変換回路) を用いていたが、本発明はこの有無に限定されない。すなわち、本発明は D/A 変換回路に1水平書き込み期間、複数のソース信号線のデジタル映像信号をシリアル入力するいかなる方法に対しても適用され得る。

【0093】

【実施例】ここで、本発明の実施例について、図面を参照しながら説明する。ただし、本発明は、以下の実施例に限定されるわけではない。

20 【0094】【実施例1】本実施例では、実施形態1の具体的な実施例としてアクティブマトリクス型液晶表示装置を例にとりて説明する。

【0095】アクティブマトリクス型液晶表示装置は図40に示したように、ソース信号線駆動回路101と、ゲート信号線駆動回路102と、マトリクス状に配置された画素アレイ部103から構成されている。

【0096】実施形態1に対応するソース信号線駆動回路の回路構成例を図13に示す。また、説明の便宜上、入力デジタル映像信号は3ビットとし、1つの D/A 変換回路で4本のソース信号線を駆動する場合について説明する。

【0097】図13を参照する。シフトレジスタ部は、フリップフロップ回路 FF、NAND 回路、およびインバータを有し、クロック信号 CLK、前記クロック信号 CLK の反転クロック信号 CLKb およびスタートパルス SP が入力される。図14(A)に示すように、フリップフロップ回路 FF はクロックドインバータ、インバータで構成されている。

【0098】スタートパルス SP が入力されると、クロック信号 CLK、CLKb に同期してサンプリングパルスが順次シフトしていく。

【0099】記憶回路であるラッチ1部とラッチ2部は、基本ラッチ回路 LAT から構成されている。基本ラッチ回路を図14(B)に示す。基本ラッチ回路 LAT はクロックドインバータとインバータで構成されている。ラッチ1部へは3ビットのデジタル映像信号 ($D0$ 、 $D1$ 、 $D2$) が入力され、シフトレジスタ部からのサンプリングパルスによって、デジタル映像信号をラッチする。ラッチ2部は、水平帰線期間に入力されるラッチパルス LP によって、ラッチ1部に保持されていたデ

デジタル映像信号を一斉にラッチすると同時に下流の回路に情報を伝達する。この時、ラッチ2部には1水平書き込み期間データが保持される。

【0100】なお、図14(A)および(B)において、各クロックドインバータのPチャネル型クロック入力端子の接続が省略されているが、実際はNチャネル型クロック入力端子に入力されているクロック信号の反転信号が入力される。また、本実施例ではフリップフロップ回路FFと基本ラッチ回路LATは同じ回路構成をしているが、異なる回路構成であってもよい。

【0101】パラレル/シリアル変換回路(図13ではP/S変換回路Aとした)へは、3ビットデータ×4(4本のソース信号線分)のラッチ2部に記憶されているデジタル映像信号と、選択信号SS1~SS4が外部から入力される。図15(A)に示すように、P/S変換回路AはNAND回路から構成されている。

【0102】図17に、第1~第4ソース信号線(SL1~SL4)に関わるP/S変換回路Aに注目した信号動作タイミングを示す。1ゲート信号線選択期間を4つに分割し、第1番目の期間にSS1をHiレベルにし、第1ソース信号線SL1のデジタル映像信号をD/A変換回路に出力する。第2番目の期間は、SS2をHiレベルにし、第2ソース信号線SL2のデジタル映像信号をD/A変換回路に出力する。第3番目の期間は、SS3をHiレベルにし、第3ソース信号線SL3のデジタル映像信号をD/A変換回路に出力する。最後の第4期間は、SS4をHiレベルにし、第4ソース信号線SL4のデジタル映像信号をD/A変換回路に出力する。この様子を、図17のD0_L、D1_L、D2_Lに示した。ここで、Di_Lは、今注目している第1~第4ソース信号線(SL1~SL4)に関わるP/S変換回路Aの第(i+1)ビット目の出力データである。また、前述したようにDi[s,g]は第s列第g行の画素に対する第(i+1)番目のビットデータを示している。

【0103】同様な動作は他のソース信号線(SL5~SL8、SL9~SL12、...)に関わるP/S変換回路Aでも並行に行われる。

【0104】D/A変換回路の回路構成例を図16に示す。図16は抵抗ストリング型のD/A変換回路であり、ある電圧範囲の出力を得るためには2本の階調電源線を供給する必要がある。図16では、これらをVref_L、Vref_Hと示した。これらの階調電源電圧を抵抗で分割し、3ビットの入力デジタル映像信号に対応した電圧値を出力する。

【0105】実施形態1に従い、独立な2系統の階調電源線をソース信号線駆動回路に供給するので全部で4本の階調電源線が必要となる。図13では、これらを第1系統についてはVref1_L、Vref1_H、第2系統についてはVref2_L、Vref2_Hと示した。

【0106】上記の2系統の階調電源線とD/A変換回

路との接続切り替えをする接続切り替えスイッチSWの回路構成例を図14(C)に示す。図13の接続例であれば、制御信号SVrがHiの時は第1系統の階調電源線Vref1_L、Vref1_HをD/A変換回路と接続し、SVrがLoの時は第2系統の階調電源線Vref2_L、Vref2_HをD/A変換回路と接続する。

【0107】D/A変換回路の出力は、ソース線選択回路Aを経由して適切なソース信号線に接続される。ソース線選択回路Aの回路構成例を図15(B)に示す。ソース線選択回路Aは4つのトランスファゲート(スイッチ)からなり、各ゲートへ選択信号SS1~SS4とそれらの反転信号が入力される。図17の信号動作タイミングに従えば、1ゲート信号線選択期間を4つに分割した、第1番目の期間にはスイッチsw1をオンし第1ソース信号線SL1へD/A変換回路の出力を書きこむ。第2番目の期間にはスイッチsw2をオンし第2ソース信号線SL2へD/A変換回路の出力を書きこむ。次の、第3番目の期間にはスイッチsw3をオンし第3ソース信号線SL3へD/A変換回路の出力を書きこむ。最後の第4番目の期間にスイッチsw4をオンし第4ソース信号線SL4へD/A変換回路の出力を書きこむ。

【0108】このような書き込みは他のソース信号線に対しても並行しておこなわれる。そして、各ソース信号線に書き込まれたデータは、ゲート信号線駆動回路と画素TFTとの働きにより順次各画素に書き込まれることになる。

【0109】ソースライン反転駆動を行なう場合の、制御信号SVrの入力例を図17のSVr(s)とSVr(s_b)に示す。ここで、SVr(s_b)は、SVr(s)入力時の次フレーム期間での制御信号SVrを示し、SVr(s)の反転信号でもある。

【0110】あるフレーム期間中においては、1ゲート信号線選択期間を4つに分割した、第1番目と第3番目の期間は制御信号SVrをHiにし第1系統の階調電源線とD/A変換回路とを接続し、第2番目と4番目の期間は制御信号SVrをLoにし第2系統の階調電源線とD/A変換回路とを接続する。(図17のSVr(s))

【0111】次のフレーム期間中においては、1ゲート信号線選択期間を4つに分割した、第1番目と第3番目の期間は制御信号SVrをLoにし第2系統の階調電源線とD/A変換回路とを接続し、第2番目と4番目の期間は制御信号SVrをHiにし第1系統の階調電源線とD/A変換回路とを接続する。(図17のSVr(s_b))

【0112】本実施例では、第1系統の階調電源線Vref1_L、Vref1_Hの電圧値をそれぞれ+1V、+5Vとし、第2系統の階調電源線Vref2_L、Vref2_Hの電圧値をそれぞれ-1V、-5Vとする。これは、D/A変換回路が第1系統の階調電源線と接続すればブ

ラス極性の出力をし、第2系統の階調電源線と接続すればマイナス極性の出力をすることを意味する。

【0113】以上の方法により、図12(A)で示されるソースライン反転駆動が可能となる。

【0114】また、ドット反転駆動を行なう場合の、制御信号SV_rの入力例を図17のSV_r(d)とSV_r(db)に示す。ここで、SV_r(db)は、SV_r(d)入力時の次フレーム期間での制御信号SV_rを示し、SV_r(d)の反転信号でもある。また、あるゲート信号線選択期間の制御信号SV_rは、直前のゲート信号線選択期間の制御信号を反転したものである。

【0115】このようにして、図12(B)で示されるドット反転駆動が可能となる。

【0116】なお、本実施例においてP/S変換回路Aとソース線選択回路Aに入力される選択信号SS1~SS4は同一であったが、それぞれ別系統としてもよい。

【0117】また、本実施例においてソース信号線駆動回路に供給される回路駆動電源は1系統を仮定したが、2系統以上とし必要な部分にレベルシフト回路を挿入してもよい。

【0118】〔実施例2〕本実施例では、実施形態2の具体的な実施例としてアクティブマトリクス型液晶表示装置を例にとりて説明する。また、以下では実施例1と同様にソース信号線駆動回路に焦点を当てて説明する。

【0119】実施形態2に対応するソース信号線駆動回路の回路構成例を図18に示す。また、説明の便宜上、入力デジタル映像信号は3ビットとし、1つのD/A変換回路で3本のソース信号線を駆動する場合について説明する。

【0120】図18を参照する。シフトレジスタ部、ラッチ1部、ラッチ2部は実施例1と同じである。

【0121】パラレル/シリアル変換回路(図18ではP/S変換回路Bとした)へは、3ビットデータ×3(3本のソース信号線分)のラッチ2部に記憶されているデジタル映像信号と、選択信号SS1~SS3が外部から入力される。図23(A)に示すように、P/S変換回路BはNAND回路から構成されている。

【0122】図19に、第1~第3ソース信号線(SL1~SL3)に関わるP/S変換回路Bに注目した信号動作タイミングを示す。1ゲート信号線選択期間を3つに分割し、第1番目の期間にSS1をHiレベルにし、第1ソース信号線SL1のデジタル映像信号をD/A変換回路に出力する。第2番目の期間は、SS2をHiレベルにし、第2ソース信号線SL2のデジタル映像信号をD/A変換回路に出力する。最後の第3番目の期間は、SS3をHiレベルにし、第3ソース信号線SL3のデジタル映像信号をD/A変換回路に出力する。この様子を、図19のD0_1、D1_1、D2_1に示した。ここで、Di_1は、今注目している第1~第3ソース信号線(SL1~SL3)に関わるP/S変換回路B

の第(i+1)ビット目の出力データである。また、前述したようにDi[s, g]は第s列第g行の画素に対する第(i+1)番目のビットデータを示している。

【0123】同様な動作は他のソース信号線(SL4~SL6、SL7~SL9、...)に関わるP/S変換回路Bでも並行に行われる。

【0124】D/A変換回路は実施例1と同じ図16で示すものとする。

【0125】実施形態2においても、独立な2系統の階調電源線をソース信号線駆動回路に供給するので全部で4本の階調電源線が必要となる。図18でも、これらを第1系統についてはVref1_L、Vref1_H、第2系統についてはVref2_L、Vref2_Hと示した。

【0126】上記の2系統の階調電源線とD/A変換回路との接続切り替えをおこなう接続切り替えスイッチSWの回路構成も実施例1と同じであり、図14(C)に示される。ただし、階調電源線との接続方法が異なる。すなわち、隣り合う接続切り替えスイッチSWは、第1系統と第2系統の階調電源線との接続が交互に入れ替わっている。図18の接続例であれば、第1~第3ソース信号線(SL1~SL3)に関わる接続切り替えスイッチSWは、制御信号SV_rがHiの時は第1系統の階調電源線Vref1_L、Vref1_HをD/A変換回路と接続し、制御信号SV_rがLoの時は第2系統の階調電源線Vref2_L、Vref2_HをD/A変換回路と接続する。一方、隣の第4~第6ソース信号線(SL4~SL6)に関わる接続切り替えスイッチSWは、制御信号SV_rがHiの時は第2系統の階調電源線Vref2_L、Vref2_HをD/A変換回路と接続し、制御信号SV_rがLoの時は第1系統の階調電源線Vref1_L、Vref1_HをD/A変換回路と接続する。

【0127】D/A変換回路の出力は、ソース線選択回路Bを経由して適切なソース信号線に接続される。ソース線選択回路Bの回路構成例を図23(B)に示す。ソース線選択回路Bは3つのトランスファゲート(スイッチ)からなり、各ゲートへ選択信号SS1~SS3とそれらの反転信号が入力される。図19の信号動作タイミングに従えば、1ゲート信号線選択期間を3つに分割した、第1番目の期間にはスイッチsw1をオンし第1ソース信号線SL1へD/A変換回路の出力を書きこむ。第2番目の期間にはスイッチsw2をオンし第2ソース信号線SL2へD/A変換回路の出力を書きこむ。最後の、第3番目の期間にはスイッチsw3をオンし第3ソース信号線SL3へD/A変換回路の出力を書きこむ。

【0128】このような書き込みは他のソース信号線に対しても並行しておこなわれる。そして、各ソース信号線に書き込まれたデータは、ゲート信号線駆動回路と画素TFTとの働きにより順次各画素に書き込まれることになる。

【0129】ソースライン反転駆動を行なう場合の、制

御信号SV_rの入力例を図19のSV_r(s)とSV_r(sb)に示す。ここで、SV_r(sb)は、SV_r(s)入力時の次フレーム期間での制御信号SV_rを示し、SV_r(s)の反転信号でもある。

【0130】あるフレーム期間中に、1ゲート信号線選択期間を3つに分割した、第1番目と第3番目の期間は制御信号SV_rをHiにし、第1～第3ソース信号線(SL1～SL3)、第7～第9ソース信号線(SL7～SL9)・・・に関わる接続切り替えスイッチSWは、第1系統の階調電源線と該当するD/A変換回路とを接続し、第4～第6ソース信号線(SL4～SL6)、第10～第12ソース信号線(SL10～SL12)・・・に関わる接続切り替えスイッチSWは、第2系統の階調電源線と該当するD/A変換回路とを接続する。逆に、1ゲート信号線選択期間を3つに分割した、第2番目の期間は制御信号SV_rをLoにし、第1～第3ソース信号線(SL1～SL3)、第7～第9ソース信号線(SL7～SL9)・・・に関わる接続切り替えスイッチSWは、第2系統の階調電源線と該当するD/A変換回路とを接続し、第4～第6ソース信号線(SL4～SL6)、第10～第12ソース信号線(SL10～SL12)・・・に関わる接続切り替えスイッチSWは、第1系統の階調電源線と該当するD/A変換回路とを接続する。(図19のSV_r(s))

【0131】次のフレーム期間中においては、1ゲート信号線選択期間を3つに分割した、第1番目と第3番目の期間は制御信号SV_rをLoにし、第1～第3ソース信号線(SL1～SL3)、第7～第9ソース信号線(SL7～SL9)・・・に関わる接続切り替えスイッチSWは、第2系統の階調電源線と該当するD/A変換回路とを接続し、第4～第6ソース信号線(SL4～SL6)、第10～第12ソース信号線(SL10～SL12)・・・に関わる接続切り替えスイッチSWは、第1系統の階調電源線と該当するD/A変換回路とを接続する。逆に、1ゲート信号線選択期間を3つに分割した、第2番目の期間は制御信号SV_rをHiにし、第1～第3ソース信号線(SL1～SL3)、第7～第9ソース信号線(SL7～SL9)・・・に関わる接続切り替えスイッチSWは、第1系統の階調電源線と該当するD/A変換回路とを接続し、第4～第6ソース信号線(SL4～SL6)、第10～第12ソース信号線(SL10～SL12)・・・に関わる接続切り替えスイッチSWは、第2系統の階調電源線と該当するD/A変換回路とを接続する。(図19のSV_r(sb))

【0132】本実施例では、実施例1と同様に第1系統の階調電源線Vref1_L、Vref1_Hの電圧値をそれぞれ+1V、+5Vとし、第2系統の階調電源線Vref2_L、Vref2_Hの電圧値をそれぞれ-1V、-5Vとする。これにより、D/A変換回路が第1系統の階調電源線と接続すればプラス極性の出力をし、第2系統

の階調電源線と接続すればマイナス極性の出力をすることになる。

【0133】以上の方法により、図12(A)で示されるソースライン反転駆動が可能となる。

【0134】また、ドット反転駆動を行なう場合の、制御信号SV_rの入力例を図19のSV_r(d)とSV_r(db)に示す。ここで、SV_r(db)は、SV_r(d)入力時の次フレーム期間での制御信号SV_rを示し、SV_r(d)の反転信号でもある。また、あるゲート信号線選択期間の制御信号は、直前のゲート信号線選択期間の制御信号を反転したものである。

【0135】こうすることで、図12(B)で示されるドット反転駆動が可能となる。

【0136】なお、本実施例においてもP/S変換回路Bとソース線選択回路Bに入力される選択信号SS1～SS3は同一であったが、それぞれ別系統としてもよい。

【0137】また、本実施例においてもソース信号線駆動回路に供給される回路駆動電源は1系統を仮定したが、2系統以上とし必要な部分にレベルシフト回路を挿入してもよい。

【0138】[実施例3] 本実施例では、実施形態3の具体的な実施例としてアクティブマトリクス型液晶表示装置を例にとり簡単に説明する。

【0139】実施形態3に対応するソース信号線駆動回路の回路構成例は実施例1と同じであり図13で示される。実施例1と異なるのは、選択信号SS1～SS4と制御信号SV_rの入力方法である。図5で示したような選択信号SS1～SS4を入力し、制御信号SV_rは、ソースライン反転駆動をおこなう場合はSV_r(s)、SV_r(sb)、ドット反転駆動をおこなう場合はSV_r(d)、SV_r(db)で示されるように入力すればよい。

【0140】[実施例4] 本実施例では、実施形態4の具体的な実施例としてアクティブマトリクス型液晶表示装置を例にとり簡単に説明する。

【0141】実施形態4に対応するソース信号線駆動回路の回路構成例は実施例2と同じであり図18で示される。実施例2と異なるのは、選択信号SS1～SS3と制御信号SV_rの入力方法である。図6で示したような選択信号SS1～SS3を入力し、制御信号SV_rは、ソースライン反転駆動をおこなう場合はSV_r(s)、SV_r(sb)、ドット反転駆動をおこなう場合はSV_r(d)、SV_r(db)で示されるように入力すればよい。

【0142】[実施例5] 本実施例では、実施形態6の具体的な実施例としてアクティブマトリクス型液晶表示装置を例にとり説明する。また、以下においても実施例1～4と同様にソース信号線駆動回路に焦点を当て説明する。

【0143】実施形態6に対応するソース信号線駆動回路の回路構成例を図20に示す。また、説明の便宜上、入力デジタル映像信号は3ビットとし、1つのD/A変換回路で4本のソース信号線を駆動する場合について説明する。

【0144】図20を参照する。シフトレジスタ部、ラッチ1部、ラッチ2部は実施例1〜4と同じである。

【0145】パラレル/シリアル変換回路A(P/S変換回路A)へは、3ビットデータ×4(4本のソース信号線分)のラッチ2部に記憶されているデジタル映像信号と、選択信号SS1〜SS4が外部から入力される。図15(A)に示すように、P/S変換回路はNAND回路から構成されている。これは、実施例1で用いたものと同じ回路である。

【0146】図21に、第1〜第4ソース信号線(SL1〜SL4)を駆動する部分に注目して信号動作タイミングを示す。1ゲート信号線選択期間を4つに分割し、第1番目の期間にSS1をHiレベルにし、第1ソース信号線SL1のデジタル映像信号をD/A変換回路に出力する。第2番目の期間は、SS3をHiレベルにし、第3ソース信号線SL3のデジタル映像信号をD/A変換回路に出力する。第3番目の期間は、SS2をHiレベルにし、第2ソース信号線SL2のデジタル映像信号をD/A変換回路に出力する。最後の第4番目の期間は、SS4をHiレベルにし、第4ソース信号線SL4のデジタル映像信号をD/A変換回路に出力する。この様子を、図21のD0_1、D1_1、D2_1に示した。ここで、Di_1は、今注目している第1〜第4ソース信号線(SL1〜SL4)に関わるP/S変換回路Aの第(i+1)ビット目の出力データである。また、前述したようにDi[s,g]は第s列第g行の画素に対する第(i+1)番目のビットデータを示している。

【0147】同様な動作は他のソース信号線(SL5〜SL8、SL9〜SL12、...)に関わるP/S変換回路Aでも並行に行われる。

【0148】D/A変換回路は図16で示した実施例1〜4と同じものとする。D/A変換回路へは、1系統の階調電源線Vref_L、Vref_Hの2本と、P/S変換回路Aから3ビットのデジタル映像信号が入力される。

【0149】D/A変換回路の出力は、ソース線選択回路Aを経由して適切なソース信号線に接続される。ソース線選択回路Aの回路構成例を図15(B)に示す。これも実施例1で用いたものと同じ回路である。ソース線選択回路Aは4つのトランスファゲート(スイッチ)からなり、各ゲートへ選択信号SS1〜SS4とそれらの反転信号が入力される。図21の信号動作タイミングに従えば、1ゲート信号線選択期間を4つに分割した、第1番目の期間にはスイッチsw1をオンし第1ソース信号線SL1へD/A変換回路の出力を書きこむ。第2番目の期間にはスイッチsw3をオンし第3ソース信号線S

L3へD/A変換回路の出力を書きこむ。次の、第3番目の期間にはスイッチsw2をオンし第2ソース信号線SL2へD/A変換回路の出力を書きこむ。最後の第4番目の期間にスイッチsw4をオンし第4ソース信号線SL4へD/A変換回路の出力を書きこむ。

【0150】このような書き込みは他のソース信号線に対しても並行しておこなわれる。そして、各ソース信号線に書き込まれたデータは、ゲート信号線駆動回路と画素TFTとの働きにより順次各画素に書き込まれることになる。

【0151】ソースライン反転駆動を行なう場合の、階調電源線Vref_L、Vref_Hの2本の電源電圧の入力例を図21(A)と(B)に示す。ここで図21(B)は、図21(A)で示す階調電源線入力時の次フレーム期間での階調電源線Vref_L、Vref_Hの電源電圧を示し、図21(A)とは反転関係にある。

【0152】なお、本実施例では、階調電源線の電圧値として、Vref_Lは−1、+1Vを取り、Vref_Hは−5、+5Vをとるものとした。階調電源線の電圧値の組み合わせが{Vref_L=−1V、Vref_H=−5V}の時は、D/A変換回路の出力は−1V〜−5Vのマイナス極性であり、{Vref_L=+1V、Vref_H=+5V}の時は、D/A変換回路の出力は+1V〜+5Vのプラス極性をとることになる。実施例1〜4と異なり、階調電源線の電源電圧の極性が1水平書き込み期間内で反転する。

【0153】以上の方法により、図12(A)で示されるソースライン反転駆動が可能となる。

【0154】また、ドット反転駆動を行なう場合の、階調電源線Vref_L、Vref_Hの2本の電源電圧の入力例も図21(C)と(D)に示す。図21(D)は、図21(C)で示す階調電源線入力時の次フレーム期間での階調電源線Vref_L、Vref_Hの電源電圧を示し、図21(C)とは反転関係にある。

【0155】こうすることで、図12(B)で示されるドット反転駆動が可能となる。

【0156】なお、本実施例においてもP/S変換回路Aとソース線選択回路Aに入力される選択信号SS1〜SS4は同一であったが、それぞれ別系統としてもよい。

【0157】また、本実施例においてソース信号線駆動回路に供給される回路駆動電源は1系統を仮定したが、2系統以上とし必要な部分にレベルシフト回路を挿入してもよい。

【0158】[実施例6] 本実施例では、実施形態5の具体的な実施例としてアクティブマトリクス型液晶表示装置を例にとり簡単に説明する。

【0159】実施形態5に対応するソース信号線駆動回路の回路構成例は実施例5と同じであり図20で示される。実施例5と異なるのは、選択信号SS1〜SS4と

階調電源線 V_{ref_L} 、 V_{ref_H} の電源電圧の入力方法である。図 8 で示したような選択信号 $SS1 \sim SS4$ を入力し、階調電源線 V_{ref_L} 、 V_{ref_H} は、ソースライン反転駆動をおこなう場合は $V_{ref}(s)$ 、 $V_{ref}(sb)$ 、ドット反転駆動をおこなう場合は $V_{ref}(d)$ 、 $V_{ref}(db)$ で示される極性になるように入力すればよい。

【0160】この場合、階調電源線の電源電圧の極性を反転する周期が実施例 5 で示されるものより短くなる。

【0161】[実施例 7] 本実施例では、実施形態 7 の具体的な実施例としてアクティブマトリクス型液晶表示装置を例にとりて説明する。また、以下においても実施例 1 ～ 6 と同様にソース信号線駆動回路に焦点を当てて説明する。

【0162】実施形態 7 に対応するソース信号線駆動回路の回路構成例を図 22 に示す。また、説明の便宜上、入力デジタル映像信号は 3 ビットとし、1 つの D/A 変換回路で 2 本のソース信号線を駆動する場合について説明する。

【0163】図 22 を参照する。シフトレジスタ部、ラッチ 1 部、ラッチ 2 部は実施例 1 ～ 6 と同じである。

【0164】パラレル/シリアル変換回路 (図 22 では P/S 変換回路 C とした) へは、3 ビットデータ $\times 2$ (2 本のソース信号線分) のラッチ 2 部に記憶されているデジタル映像信号と、選択信号 $SS1$ 、 $SS2$ が外部から入力される。ここで、ラッチ 2 部から入力されるデジタル映像信号は第 2、第 3 ソース信号線に関するデータ、第 6、第 7 ソース信号線に関するデータ、一般に第 $(4k+2)$ 、第 $(4k+3)$ ソース信号線に関するデータ (k は 0 以上の整数) が入れ替わって P/S 変換回路 C に入力される。これにより、各 P/S 変換回路 C は、奇数番目のソース信号線、或いは偶数番目のソース信号線に関するデータ情報のみを各 D/A 変換回路に出力することになる。これを反映して、各 D/A 変換回路は、奇数番目、或いは偶数番目のどちらか一方のソース信号線を駆動する。そのため、図 22 で示されるように、ソース線選択回路の出力のうち、上述した P/S 変換回路 C に入力する際にデータを入れ替えたものに関してもう一度入れ替えて、適切なソース信号線にデータを書き込めるようにする。

【0165】なお、P/S 変換回路 C は、図 23 (C) に示すように NAND 回路から構成されている。

【0166】図 24 に、第 1 ～ 第 4 ソース信号線 ($SL1 \sim SL4$) を駆動する部分に注目して信号動作タイミングを示す。この 4 本のソース信号線を駆動する部分には、図 22 で示すように、P/S 変換回路 C、D/A 変換回路、ソース線選択回路 C がそれぞれ 2 つ存在する。これらを区別するために以下では、一方を左側の P/S 変換回路 C、他方を右側の P/S 変換回路 C、などと記す。左側の・・・といえ、図 22 中で最も左に位置す

る該当する回路である。

【0167】1 ゲート信号線選択期間を 2 つに分割した、第 1 番目の期間においては、 $SS1$ を Hi レベルにし、左側の P/S 変換回路 C は第 1 ソース信号線 $SL1$ のデジタル映像信号を左側の D/A 変換回路に出力する。この時、右側の P/S 変換回路 C は第 2 ソース信号線 $SL2$ のデジタル映像信号を右側の D/A 変換回路に出力する。第 2 番目の期間においては、 $SS2$ を Hi レベルにし、左側の P/S 変換回路 C は第 3 ソース信号線 $SL3$ のデジタル映像信号を左側の D/A 変換回路に出力する。この時、右側の P/S 変換回路 C は第 4 ソース信号線 $SL4$ のデジタル映像信号を右側の D/A 変換回路に出力する。左側の P/S 変換回路 C の出力を図 24 の $D0_1$ 、 $D1_1$ 、 $D2_1$ に、右側の P/S 変換回路 C の出力を図 24 の $D0_2$ 、 $D1_2$ 、 $D2_2$ に示した。前述したように $Di[s, g]$ は第 s 列第 g 行の画素に対する第 $(i+1)$ 番目のビットデータを示している。

【0168】同様な動作は他のソース信号線 ($SL5 \sim SL8$ 、 $SL9 \sim SL12$ 、・・・) に関わる P/S 変換回路 C でも並行に行われる。

【0169】D/A 変換回路は図 16 で示されている実施例 1 ～ 6 と同じものを用いる。図 22 に示すように、奇数番目のソース信号線を駆動する D/A 変換回路は、第 1 系統の階調電源線である V_{ref1_L} と V_{ref1_H} が接続され、偶数番目のソース信号線を駆動する D/A 変換回路は、第 2 系統の階調電源線である V_{ref2_L} と V_{ref2_H} が接続される。

【0170】D/A 変換回路の出力は、ソース線選択回路 C を経由して適切なソース信号線に接続される。ソース線選択回路 C の回路構成例を図 23 (D) に示す。ソース線選択回路 C は 2 つのトランスファゲート (スイッチ) からなり、各ゲートへ選択信号 $SS1$ 、 $SS2$ とそれらの反転信号が入力される。図 24 の信号動作タイミングに従えば、1 ゲート信号線選択期間を 2 つに分割した、第 1 番目の期間にはスイッチ $sw1$ をオンし、左側のソース線選択回路 C は第 1 ソース信号線 $SL1$ へ左側の D/A 変換回路の出力を書きこむ。この時、右側のソース線選択回路 C は第 2 ソース信号線 $SL2$ へ右側の D/A 変換回路の出力を書きこむ。1 ゲート信号線選択期間を 2 つに分割した、第 2 番目の期間にはスイッチ $sw2$ をオンし、左側のソース線選択回路 C は第 3 ソース信号線 $SL3$ へ左側の D/A 変換回路の出力を書きこむ。この時、右側のソース線選択回路 C は第 4 ソース信号線 $SL4$ へ右側の D/A 変換回路の出力を書きこむ。このような書き込みは他のソース信号線に対しても並行しておこなわれる。

【0171】ソースライン反転駆動を行なう場合の、階調電源線 V_{ref1_L} 、 V_{ref1_H} 、 V_{ref2_L} 、 V_{ref2_H} の 4 本の電源電圧の入力例を図 24 (A) と (B) に示す。ここで図 24 (B) は、図 24 (A) で

示す階調電源線入力時の次フレーム期間での階調電源線 V_{ref1_L} 、 V_{ref1_H} 、 V_{ref2_L} 、 V_{ref2_H} の電源電圧を示し、図24 (A) とは反転関係にある。

【0172】なお、本実施例では、階調電源線の電圧値として、 V_{ref1_L} と V_{ref2_L} は -1 、 $+1$ V をとり、 V_{ref1_H} と V_{ref2_H} は -5 、 $+5$ V をとるものとした。階調電源線の電圧値の組み合わせが { $V_{refx_L} = -1$ V、 $V_{refx_H} = -5$ V ($x=1$ または 2)} の時は、D/A変換回路の出力は -1 V \sim -5 V のマイナス極性であり、{ $V_{refx_L} = +1$ V、 $V_{refx_H} = +5$ V ($x=1$ または 2)} の時は、D/A変換回路の出力は $+1$ V \sim $+5$ V のプラス極性をとることになる。実施例1 \sim 6と異なり、ソースライン反転の場合、階調電源線の電源電圧の極性は1フレーム期間中一定である。

【0173】以上の方法により、図12 (A) で示されるソースライン反転駆動が可能となる。

【0174】また、ドット反転駆動を行なう場合の、階調電源線 V_{ref1_L} 、 V_{ref1_H} 、 V_{ref2_L} 、 V_{ref2_H} の4本の電源電圧の入力例を図24 (C) と (D) に示す。図24 (D) は、図24 (C) で示す階調電源線入力時の次フレーム期間での階調電源線 V_{ref1_L} 、 V_{ref1_H} 、 V_{ref2_L} 、 V_{ref2_H} の電源電圧を示し、図24 (C) とは反転関係にある。1ゲート信号線選択期間ごとに階調電源線の電源電圧の極性反転が行われている。

【0175】こうすることで、図12 (B) で示されるドット反転駆動が可能となる。

【0176】なお、本実施例においてもP/S変換回路Cとソース線選択回路Cに入力される選択信号SS1、SS2は同一であったが、それぞれ別系統としてもよい。

【0177】また、本実施例においてもソース信号線駆動回路に供給される回路駆動電源は1系統を仮定したが、2系統以上とし必要な部分にレベルシフト回路を挿入してもよい。

【0178】[実施例8]本実施例では、実施例1 \sim 7で説明したアクティブマトリクス型液晶表示装置の作成方法例として、画素部のスイッチング素子である画素TFTと、画素部の周辺に設けられる駆動回路(ソース信号線駆動回路、ゲート信号線駆動回路等)のTFTを同一基板上に作製する方法について工程に従って詳細に説明する。但し、説明を簡単にするために、駆動回路部としてはその基本構成回路であるCMOS回路を、画素TFT部としてはnチャネル型TFTとを図示することにする。

【0179】図25 (A) において、基板(アクティブマトリクス基板)6001には低アルカリガラス基板や石英基板を用いることができる。本実施例では低アルカリガラス基板を用いた。この場合、ガラス歪み点よりも

10 \sim 20 $^{\circ}$ C程度低い温度であらかじめ熱処理しておいても良い。この基板6001のTFTを形成する表面には、基板6001からの不純物拡散を防ぐために、酸化シリコン膜、窒化シリコン膜または酸化窒化シリコン膜などの下地膜6002を形成する。例えば、プラズマCVD法でSiH₄、NH₃、N₂Oから作製される酸化窒化シリコン膜を100nm、同様にSiH₄、N₂Oから作製される酸化窒化シリコン膜を200nmの厚さに積層形成する。

【0180】次に、20 \sim 150nm(好ましくは30 \sim 80nm)の厚さで非晶質構造を有する半導体膜6003aを、プラズマCVD法やスパッタ法などの公知の方法で形成する。本実施例では、プラズマCVD法で非晶質シリコン膜を54nmの厚さに形成した。非晶質構造を有する半導体膜としては、非晶質半導体膜や微結晶半導体膜があり、非晶質シリコンゲルマニウム膜などの非晶質構造を有する化合物半導体膜を適用しても良い。また、下地膜6002と非晶質シリコン膜6003aとは同じ成膜法で形成することが可能であるので、両者を連続形成しても良い。その場合、下地膜を形成した後、一旦大気雰囲気には晒さないことでその表面の汚染を防ぐことが可能となり、作製するTFTの特性バラツキやしきい値電圧の変動を低減させることができる(図25 (A))。

【0181】そして、公知の結晶化技術を使用して非晶質シリコン膜6003aから結晶質シリコン膜6003bを形成する。例えば、レーザー結晶化法や熱結晶化法(固相成長法)を適用すれば良いが、ここでは、特開平7-130652号公報で開示された技術に従って、触媒元素を用いる結晶化法で結晶質シリコン膜6003bを形成した。結晶化の工程に先立って、非晶質シリコン膜の含有水素量にもよるが、400 \sim 500 $^{\circ}$ Cで1時間程度の熱処理をおこない、含有水素量を5atom%以下にしてから結晶化させることが望ましい。非晶質シリコン膜を結晶化させると原子の再配列が起こり緻密化するので、作製される結晶質シリコン膜の厚さは当初の非晶質シリコン膜の厚さ(本実施例では54nm)よりも1 \sim 15%程度減少する(図25 (B))。

【0182】そして、結晶質シリコン膜6003bを島状にパターンニングして、島状半導体層6004 \sim 6007を形成する。その後、プラズマCVD法またはスパッタ法により50 \sim 150nmの厚さの酸化シリコン膜によるマスク層6008を形成する。(図25 (C))。

【0183】そしてレジストマスク6009を設け、nチャネル型TFTを形成することとなる島状半導体層6005 \sim 6007の全面に $1 \times 10^{16} \sim 5 \times 10^{17}$ atom/s/cm³程度の濃度でp型を付与する不純物元素としてボロン(B)を添加する。このボロン(B)の添加は、しきい値電圧を制御する目的でなされる。ボロン(B)の

添加はイオンドープ法で実施しても良いし、非晶質シリコン膜を成膜するときに同時に添加しておくこともできる。ここでのボロン (B) 添加は必ずしも必要ではない (図 25 (D))。その後、レジストマスク 6009 を除去する。

【0184】駆動回路の n チャネル型 TFT の LDD 領域を形成するために、n 型を付与する不純物元素を島状半導体層 6010~6012 に選択的に添加する。そのため、あらかじめレジストマスク 6013~6016 を形成する。n 型を付与する不純物元素としては、リン (P) や砒素 (As) を用いれば良く、ここではリン (P) を添加すべく、フォスフィン (PH₃) を用いたイオンドープ法を適用した。形成された不純物領域 6017、6018 のリン (P) 濃度は $2 \times 10^{16} \sim 5 \times 10^{19} \text{ atoms/cm}^3$ の範囲とすれば良い。本明細書中では、ここで形成された不純物領域 6017~6019 に含まれる n 型を付与する不純物元素の濃度を (n⁺) と表す。また、不純物領域 6019 は、画素部の保持容量を形成するための半導体層であり、この領域にも同じ濃度でリン (P) を添加する (図 26 (A))。その後、レジストマスク 6013~6016 を除去する。

【0185】次に、マスク層 6008 をフッ酸などにより除去した後、図 25 (D) と図 26 (A) で添加した不純物元素を活性化させる工程を行なう。活性化は、500~600℃の窒素雰囲気中で 1~4 時間の熱処理や、レーザー活性化の方法により行なうことができる。また、両者を併用しておこなっても良い。本実施例では、レーザー活性化の方法を用いる。レーザー光には KrF エキシマレーザー光 (波長 248 nm) を用いる。本実施例では、レーザー光の形状を線状ビームに加工して用い、発振周波数 5~50 Hz、エネルギー密度 100~500 mJ/cm² として線状ビームのオーバーラップ割合を 80~98% で走査することによって島状半導体層が形成された基板全面を処理する。尚、レーザー光の照射条件には何ら限定される事項はなく適宜決定することができる。

【0186】そして、ゲート絶縁膜 6020 をプラズマ CVD 法またはスパッタ法を用いて 10~150 nm の厚さでシリコンを含む絶縁膜で形成する。例えば、120 nm の厚さで酸化窒化シリコン膜を形成する。ゲート絶縁膜には、他のシリコンを含む絶縁膜を単層または積層構造として用いても良い。(図 26 (B))

【0187】次に、ゲート電極を形成するために第 1 の導電層を成膜する。この第 1 の導電層は単層で形成しても良いが、必要に応じて二層あるいは三層といった積層構造としても良い。本実施例では、導電性の窒化物金属膜から成る導電層 (A) 6021 と金属膜から成る導電層 (B) 6022 とを積層させた。導電層 (B) 6022 はタンタル (Ta)、チタン (Ti)、モリブデン (Mo)、タングステン (W) から選ばれた元素、また

は前記元素を主成分とする合金か、前記元素を組み合わせた合金膜 (代表的には Mo-W 合金膜、Mo-Ta 合金膜) で形成すれば良く、導電層 (A) 6021 は窒化タンタル (Ta₂N₅)、窒化タングステン (WN)、窒化チタン (TiN) 膜、窒化モリブデン (Mo₃N₂) で形成する。また、導電層 (A) 6021 は代替材料として、タングステンシリサイド、チタンシリサイド、モリブデンシリサイドを適用しても良い。導電層 (B) は低抵抗化を図るために含有する不純物濃度を低減させると良く、特に酸素濃度に関しては 30 ppm 以下とすると良い。例えば、タングステン (W) は酸素濃度を 30 ppm 以下とすることで $20 \mu\Omega\text{cm}$ 以下の比抵抗値を実現することができる。

【0188】導電層 (A) 6021 は 10~50 nm (好ましくは 20~30 nm) とし、導電層 (B) 6022 は 200~400 nm (好ましくは 250~350 nm) とすれば良い。本実施例では、導電層 (A) 6021 に 30 nm の厚さの窒化タンタル膜を、導電層 (B) 6022 には 350 nm の Ta 膜を用い、いずれもスパッタ法で形成した。このスパッタ法による成膜では、スパッタ用のガスの Ar に適量の Xe や Kr を加えておくと、形成する膜の内部応力を緩和して膜の剥離を防止することができる。尚、図示しないが、導電層 (A) 6021 の下に 2~20 nm 程度の厚さでリン (P) をドープしたシリコン膜を形成しておくことは有効である。これにより、その上に形成される導電膜の密着性向上と酸化防止を図ると同時に、導電層 (A) または導電層 (B) が微量に含有するアルカリ金属元素がゲート絶縁膜 6020 に拡散するのを防ぐことができる (図 26 (C))。

【0189】次に、レジストマスク 6023~6027 を形成し、導電層 (A) 6021 と導電層 (B) 6022 とを一括でエッチングしてゲート電極 6028~6031 と容量配線 6032 を形成する。ゲート電極 6028~6031 と容量配線 6032 は、導電層 (A) から成る 6028a~6032a と、導電層 (B) から成る 6028b~6032b とが一体として形成されている。この時、駆動回路を構成する TFT のゲート電極 6028~6030 は不純物領域 6017、6018 の一部と、ゲート絶縁膜 6020 を介して重なるように形成する (図 26 (D))。

【0190】次いで、駆動回路の p チャネル型 TFT のソース領域およびドレイン領域を形成するために、p 型を付与する不純物元素を添加する工程を行なう。ここでは、ゲート電極 6028 をマスクとして、自己整合的に不純物領域を形成する。このとき、n チャネル型 TFT が形成される領域はレジストマスク 6033 で被覆しておく。そして、ジボラン (B₂H₆) を用いたイオンドープ法で不純物領域 6034 を形成した。この領域のボロン (B) 濃度は $3 \times 10^{20} \sim 3 \times 10^{21} \text{ atoms/cm}^3$ とな

るようにする。その後、レジストマスク 6033 を除去する。本明細書中では、ここで形成された不純物領域 6034 に含まれる p 型を付与する不純物元素の濃度を (p^{++}) と表す (図 27 (A))。

【0191】次に、n チャネル型 TFT において、ソース領域またはドレイン領域として機能する不純物領域の形成を行った。レジストのマスク 6035~6037 を形成し、n 型を付与する不純物元素を添加して不純物領域 6038~6042 を形成した。これは、フォスフィン (PH_3) を用いたイオンドープ法でおこない、この領域のリン (P) 濃度を $1 \times 10^{20} \sim 1 \times 10^{21} \text{atoms/cm}^3$ とした。本明細書中では、ここで形成された不純物領域 6038~6042 に含まれる n 型を付与する不純物元素の濃度を (n^+) と表す (図 27 (B))。

【0192】不純物領域 6039~6042 には、既に前工程で添加されたリン (P) またはボロン (B) が含まれているが、それに比して十分に高い濃度でリン (P) が添加されるので、前工程で添加されたリン (P) またはボロン (B) の影響は考えなくても良い。また、不純物領域 6038 に添加されたリン (P) 濃度は図 27 (A) で添加されたボロン (B) 濃度の $1/2 \sim 1/3$ なので p 型の導電性が確保され、TFT の特性に何ら影響を与えることはなかった。

【0193】レジストマスク 6035~6037 を除去した後、画素部の n チャネル型 TFT の LDD 領域を形成するための n 型を付与する不純物添加の工程を行った。ここではゲート電極 6031 をマスクとして自己整合的に n 型を付与する不純物元素をイオンドープ法で添加した。添加するリン (P) の濃度は $1 \times 10^{16} \sim 5 \times 10^{18} \text{atoms/cm}^3$ であり、図 26 (A) および図 27 (A) と図 27 (B) で添加する不純物元素の濃度よりも低濃度で添加することで、実質的には不純物領域 6043、6044 のみが形成される。本明細書中では、この不純物領域 6043、6044 に含まれる n 型を付与する不純物元素の濃度を (n^-) と表す。(図 27 (C))

【0194】その後、それぞれの濃度で添加された n 型または p 型を付与する不純物元素を活性化するために熱処理工程を行なう。この工程はファースアニール法、レーザアニール法、またはラピッドサーマルアニール法 (RTA 法) で行なうことができる。ここではファースアニール法で活性化工程を行った。熱処理は酸素濃度が 1 ppm 以下、好ましくは 0.1 ppm 以下の窒素雰囲気中で $400 \sim 800^\circ\text{C}$ 、代表的には $500 \sim 600^\circ\text{C}$ で行なうものであり、本実施例では 500°C で 4 時間の熱処理を行った。また、基板 6001 に石英基板のような耐熱性を有するものを使用した場合には、 800°C で 1 時間の熱処理としても良く、不純物元素の活性化と、該不純物元素が添加された不純物領域とチャネル形成領域との接合を良好に形成することができる。なお、

上述のゲート電極である Ta のピーリングを防止するために層間膜を形成した場合には、この効果は得られない場合がある。

【0195】この熱処理において、ゲート電極 6028~6031 と容量配線 6032 を形成する金属膜 6028b~6032b は、表面から $5 \sim 80 \text{nm}$ の厚さで導電層 (C) 6028c~6032c が形成される。例えば、導電層 (B) 6028b~6032b がタングステン (W) の場合には窒化タングステン (WN) が形成され、タンタル (Ta) の場合には窒化タンタル (Ta₂N) を形成することができる。また、導電層 (C) 6028c~6032c は、窒素またはアンモニアなどを用いた窒素を含むプラズマ雰囲気中にゲート電極 6028~6031 及び容量配線 6032 を晒しても同様に形成することができる。さらに、 $3 \sim 100\%$ の水素を含む雰囲気中で、 $300 \sim 450^\circ\text{C}$ で $1 \sim 12$ 時間の熱処理をおこない、島状半導体層を水素化する工程を行った。この工程は熱的に励起された水素により半導体層のダングリングボンドを終端する工程である。水素化の他の手段として、プラズマ水素化 (プラズマにより励起された水素、プラズマ化した水素を用いる) をおこなっても良い。

【0196】島状半導体層が、非晶質シリコン膜から触媒元素を用いる結晶化の方法で作製された場合、島状半導体層中には微量の触媒元素が残留した。勿論、そのような状態でも TFT を完成させることが可能であるが、残留する触媒元素を少なくともチャネル形成領域から除去する方がより好ましかった。この触媒元素を除去する手段の一つにリン (P) によるゲッタリング作用を利用する手段があった。ゲッタリングに必要なリン (P) の濃度は図 27 (B) で形成した不純物領域 (n^+) と同程度であり、ここで実施される活性化工程の熱処理により、n チャネル型 TFT および p チャネル型 TFT のチャネル形成領域から触媒元素をゲッタリングすることができた (図 27 (D))。

【0197】活性化および水素化の工程が終了したら、ゲート配線 (ゲート信号線) とする第 2 の導電膜を形成する。この第 2 の導電膜は低抵抗材料であるアルミニウム (Al) や銅 (Cu) を主成分とする導電層 (D) と、にチタン (Ti) やタンタル (Ta)、タングステン (W)、モリブデン (Mo) から成る導電層 (E) とで形成すると良い。本実施例では、チタン (Ti) を $0.1 \sim 2$ 重量%含むアルミニウム (Al) 膜を導電層 (D) 6045 とし、チタン (Ti) 膜を導電層 (E) 6046 として形成した。導電層 (D) 6045 は $200 \sim 400 \text{nm}$ (好ましくは $250 \sim 350 \text{nm}$) とすれば良く、導電層 (E) 6046 は $50 \sim 200$ (好ましくは $100 \sim 150 \text{nm}$) で形成すれば良い。(図 28 (A))

【0198】そして、ゲート電極に接続するゲート配線

(ゲート信号線)を形成するために導電層(E)6046と導電層(D)6045とをエッチング処理して、ゲート配線(ゲート信号線)6047、6048と容量配線6049を形成した。エッチング処理は最初にSiCl₄とCl₂とBCl₃との混合ガスを用いたドライエッチング法で導電層(E)の表面から導電層(D)の途中まで除去し、その後リン酸系のエッチング溶液によるウェットエッチングで導電層(D)を除去することにより、下地との選択加工性を保ってゲート配線(ゲート信号線)を形成することができた。

【0199】第1の層間絶縁膜6050は500~1500nmの厚さで酸化シリコン膜または酸化窒化シリコン膜で形成され、その後、それぞれの島状半導体層に形成されたソース領域またはドレイン領域に達するコンタクトホールを形成し、ソース配線(ソース信号線)6051~6054と、ドレイン配線6055~6058を形成する。図示していないが、本実施例ではこの電極を、Ti膜を100nm、Tiを含むアルミニウム膜300nm、Ti膜150nmをスパッタ法で連続して形成した3層構造の積層膜とした。

【0200】次に、パッシベーション膜6059として、窒化シリコン膜、酸化シリコン膜、または窒化酸化シリコン膜を50~500nm(代表的には100~300nm)の厚さで形成する。この状態で水素化処理を行なうとTFTの特性向上に対して好ましい結果が得られた。例えば、3~100%の水素を含む雰囲気中で、300~450℃で1~12時間の熱処理を行なうと良く、あるいはプラズマ水素化法を用いても同様の効果が得られた。なお、ここで後に画素電極とドレイン配線を接続するためのコンタクトホールを形成する位置において、パッシベーション膜6059に開口部を形成しておいても良い。(図28(C))

【0201】その後、有機樹脂からなる第2の層間絶縁膜6060を1.0~1.5μmの厚さに形成する。有機樹脂としては、ポリイミド、アクリル、ポリアミド、ポリイミドアミド、BCB(ベンゾシクロブテン)等を使用することができる。ここでは、基板に塗布後、熱重合するタイプのポリイミドを用い、300℃で焼成して形成した。そして、第2の層間絶縁膜6060にドレイン配線6058に達するコンタクトホールを形成し、画素電極6061、6062を形成する。画素電極は、透過型液晶表示装置とする場合には透明導電膜を用いれば良く、反射型の液晶表示装置とする場合には金属膜を用いれば良い。本実施例では透過型の液晶表示装置とするために、酸化インジウム・スズ(ITO)膜を100nmの厚さにスパッタ法で形成した。(図29)

【0202】こうして同一基板上に、駆動回路のTFTと画素部の画素TFTとを有した基板を完成させることができた。駆動回路にはpチャネル型TFT6101、第1のnチャネル型TFT6102、第2のnチャネル

型TFT6103、画素部には画素TFT6104、保持容量6105が形成した。本明細書では便宜上このような基板をアクティブマトリクス基板と呼ぶ。

【0203】駆動回路のpチャネル型TFT6101には、島状半導体層6004にチャネル形成領域6106、ソース領域6107a、6107b、ドレイン領域6108a、6108bを有している。第1のnチャネル型TFT6102には、島状半導体層6005にチャネル形成領域6109、ゲート電極6029と重なるLDD領域6110(以降、このようなLDD領域をLovと記す)、ソース領域6111、ドレイン領域6112を有している。このLov領域のチャネル長方向の長さは0.5~3.0μm、好ましくは1.0~1.5μmとした。第2のnチャネル型TFT6103には、島状半導体層6006にチャネル形成領域6113、LDD領域6114、6115、ソース領域6116、ドレイン領域6117を有している。このLDD領域はLov領域とゲート電極6030と重ならないLDD領域(以降、このようなLDD領域をLoffと記す)とが形成され、このLoff領域のチャネル長方向の長さは0.3~2.0μm、好ましくは0.5~1.5μmである。画素TFT6104には、島状半導体層6007にチャネル形成領域6118、6119、Loff領域6120~6123、ソースまたはドレイン領域6124~6126を有している。Loff領域のチャネル長方向の長さは0.5~3.0μm、好ましくは1.5~2.5μmである。さらに、容量配線6032、6049と、ゲート絶縁膜と同じ材料から成る絶縁膜と、画素TFT6104のドレイン領域6126に接続し、n型を付与する不純物元素が添加された半導体層6127とから保持容量6105が形成されている。図29では画素TFT6104をダブルゲート構造としたが、シングルゲート構造でも良いし、複数のゲート電極を設けたマルチゲート構造としても差し支えない。

【0204】以上のように本実施例では、画素TFTおよび駆動回路が要求する仕様に応じて各回路を構成するTFTの構造を最適化し、画像表示装置の動作性能と信頼性を向上させることを可能とすることができる。

【0205】次に、上記の工程によって作製されたアクティブマトリクス基板をもとに、透過型液晶表示装置を作製する工程を説明する。

【0206】図30を参照する。図29の状態のアクティブマトリクス基板に配向膜6201を形成する。本実施例では、配向膜6201にはポリイミドを用いた。次に、対向基板を用意する。対向基板は、ガラス基板6202、遮光膜6203、透明導電膜からなる対向電極6204、配向膜6205とで構成される。

【0207】なお、本実施例では、配向膜には、液晶分子が基板に対して平行に配向するようなポリイミド膜を用いた。なお、配向膜形成後、ラビング処理を施すこと

により、液晶分子がある一定のプレチルト角を持って平行配向するようにした。

【0208】次に、上記の工程を経たアクティブマトリクス基板と対向基板とを公知のセル組み工程によって、シール材やスペーサ（共に図示せず）などを介して貼り合わせる。その後、両基板の間に液晶6206を注入し、封止剤（図示せず）によって完全に封止する。よって、図30に示すような透過型液晶表示装置が完成する。

【0209】なお、上記の行程により作成されるTFTは10 トップゲート構造であるが、ボトムゲート構造のTFTやその他の構造のTFTに対しても本発明は適用され得る。

【0210】また、上記の行程により作成される表示装置は透過型の液晶表示装置であるが、本発明は反射型の液晶表示装置に対しても適用され得る。

【0211】また、液晶材料の代わりに発光材料を用いた自発光型の表示装置である発光装置に対しても本発明は適用され得る。

【0212】[実施例9] 本実施例では、実施例1〜720 で説明したアクティブマトリクス型液晶表示装置の代わりに発光装置に適用した場合の作製例について説明する。

【0213】図31(A)は本発明を適用した発光装置の上面図であり、図31(B)は図31(A)に示したA-A'で切断した発光装置の断面図である。図31(A)において、4010は基板、4011は画素部、4012はソース信号線駆動回路、4013はゲート信号線駆動回路であり、それぞれの駆動回路は配線4014〜4016を経てFPC4017に至り、外部機器へと接続される。30

【0214】このとき、少なくとも画素部、好ましくは駆動回路及び画素部を囲むようにしてカバー材4600、シーリング材（ハウジング材ともいう）4100、密封材（第2のシーリング材）4101が設けられている。

【0215】また、図31(B)に示すように、基板4010、下地膜4021の上に駆動回路用TFT（但し、ここではnチャネル型TFTとpチャネル型TFTを組み合わせたCMOS回路を図示している。）4022及び画素部用TFT4023（但し、ここでは発光素子への電流を制御するTFTだけ図示している。）が形成されている。これらのTFTは公知の構造（トップゲート構造またはボトムゲート構造）を用いれば良い。

【0216】公知の作製方法を用いて駆動回路用TFT4022、画素部用TFT4023が完成したら、樹脂材料でなる層間絶縁膜（平坦化膜）4026の上に画素部用TFT4023のドレインと電気的に接続する透明導電膜でなる画素電極4027を形成する。透明導電膜としては、酸化インジウムと酸化スズとの化合物（IT50

Oと呼ばれる）または酸化インジウムと酸化亜鉛との化合物を用いることができる。そして、画素電極4027を形成したら、絶縁膜4028を形成し、画素電極4027上に開口部を形成する。

【0217】次に、発光層4029を形成する。発光層4029は公知の発光材料（正孔注入層、正孔輸送層、発光層、電子輸送層または電子注入層）を自由に組み合わせて積層構造または単層構造とすれば良い。どのような構造とするかは公知の技術を用いれば良い。また、発光材料には低分子系材料と高分子系（ポリマー系）材料がある。低分子系材料を用いる場合は蒸着法を用いるが、高分子系材料を用いる場合には、スピンコート法、印刷法またはインクジェット法等の簡易な方法を用いることが可能である。

【0218】本実施例では、シャドーマスクを用いて蒸着法により発光層を形成する。シャドーマスクを用いて画素毎に波長の異なる発光が可能な発光層（赤色発光層、緑色発光層及び青色発光層）を形成することで、カラー表示が可能となる。その他にも、色変換層（CCM）とカラーフィルターを組み合わせた方式、白色発光層とカラーフィルターを組み合わせた方式があるがいずれの方法を用いても良い。勿論、単色発光の発光装置とすることもできる。

【0219】発光層4029を形成したら、その上に陰極4030を形成する。陰極4030と発光層4029の界面に存在する水分や酸素は極力排除しておくことが望ましい。従って、真空中で発光層4029と陰極4030を連続成膜するか、発光層4029を不活性雰囲気中で形成し、大気解放しないで陰極4030を形成するといった工夫が必要である。本実施例ではマルチチャンバー方式（クラスターツール方式）の成膜装置を用いることで上述のような成膜を可能とする。

【0220】なお、本実施例では陰極4030として、LiF（フッ化リチウム）膜とAl（アルミニウム）膜の積層構造を用いる。具体的には発光層4029上に蒸着法で1nm厚のLiF（フッ化リチウム）膜を形成し、その上に300nm厚のアルミニウム膜を形成する。勿論、公知の陰極材料であるMgAg電極を用いても良い。そして陰極4030は4031で示される領域において配線4016に接続される。配線4016は陰極4030に所定の電圧を与えるための電源供給線であり、導電性ペースト材料4032を介してFPC4017に接続される。

【0221】4031に示された領域において陰極4030と配線4016とを電気的に接続するために、層間絶縁膜4026及び絶縁膜4028にコンタクトホールを形成する必要がある。これらは層間絶縁膜4026のエッチング時（画素電極用コンタクトホールの形成時）や絶縁膜4028のエッチング時（発光層形成前の開口部の形成時）に形成しておけば良い。また、絶縁膜40

28をエッチングする際に、層間絶縁膜4026まで一括でエッチングしても良い。この場合、層間絶縁膜4026と絶縁膜4028が同じ樹脂材料であれば、コンタクトホールを良好なものとすることができる。

【0222】このようにして形成された発光素子の表面を覆って、パッシベーション膜4603、充填材4604、カバー材4600が形成される。

【0223】さらに、発光素子部を囲むようにして、カバー材4600と基板4010の内側にシーリング材4100が設けられ、さらにシーリング材4100の外側には密封材（第2のシーリング材）4101が形成される。

【0224】このとき、この充填材4604は、カバー材4600を接着するための接着剤としても機能する。充填材4604としては、PVC（ポリビニルクロライド）、エポキシ樹脂、シリコン樹脂、PVB（ポリビニルブチラル）またはEVA（エチレンビニルアセテート）を用いることができる。この充填材4604の内部に乾燥剤を設けておくと、吸湿効果を保持できるので好ましい。

【0225】また、充填材4604の中にスペーサーを含有させてもよい。このとき、スペーサーをBaOなどからなる粒状物質とし、スペーサー自体に吸湿性をもたせてもよい。

【0226】スペーサーを設けた場合、パッシベーション膜4603はスペーサー圧を緩和することができる。また、パッシベーション膜とは別に、スペーサー圧を緩和する樹脂膜などを設けてもよい。

【0227】また、カバー材4600としては、ガラス板、アルミニウム板、ステンレス板、FRP（Fiberglass-Reinforced Plastic）板、PVF（ポリビニルフルオライド）フィルム、マイラーフィルム、ポリエステルフィルムまたはアクリルフィルムを用いることができる。なお、充填材4604としてPVBやEVAを用いる場合、数十μmのアルミニウムホイルをPVFフィルムやマイラーフィルムで挟んだ構造のシートを用いることが好ましい。

【0228】但し、発光素子からの発光方向（光の放射方向）によっては、カバー材4600が透光性を有する必要がある。

【0229】また、配線4016はシーリング材4100および密封材4101と基板4010との隙間を通してFPC4017に電気的に接続される。なお、ここでは配線4016について説明したが、他の配線4014、4015も同様にしてシーリング材4100および密封材4101の下を通してFPC4017に電気的に接続される。

【0230】なお本実施例では、充填材4604を設けてからカバー材4600を接着し、充填材4604の側面（露呈面）を覆うようにシーリング材4100を取り

付けているが、カバー材4600及びシーリング材4100を取り付けてから、充填材4604を設けても良い。この場合、基板4010、カバー材4600及びシーリング材4100で形成されている空隙に通じる充填材の注入口を設ける。そして前記空隙を真空状態（10⁻²Torr以下）にし、充填材の入っている水槽に注入口を浸してから、空隙の外の気圧を空隙の中の気圧よりも高くして、充填材を空隙の中に充填する。

【0231】〔実施例10〕本実施例では、本発明を用いて実施例9とは異なる形態の発光装置を作製した例について、図32（A）、32（B）を用いて説明する。図31（A）、31（B）と同じ番号のものは同じ部分を指しているため説明は省略する。

【0232】図32（A）は本実施例の発光装置の上面図であり、図32（A）をA-A'で切断した断面図を図32（B）に示す。

【0233】実施例9に従って、発光素子の表面を覆ってパッシベーション膜4603までを形成する。

【0234】さらに、発光素子を覆うようにして充填材4604を設ける。この充填材4604は、カバー材4600を接着するための接着剤としても機能する。充填材4604としては、PVC（ポリビニルクロライド）、エポキシ樹脂、シリコン樹脂、PVB（ポリビニルブチラル）またはEVA（エチレンビニルアセテート）を用いることができる。この充填材4604の内部に乾燥剤を設けておくと、吸湿効果を保持できるので好ましい。

【0235】また、充填材4604の中にスペーサーを含有させてもよい。このとき、スペーサーをBaOなどからなる粒状物質とし、スペーサー自体に吸湿性をもたせてもよい。

【0236】スペーサーを設けた場合、パッシベーション膜4603はスペーサー圧を緩和することができる。また、パッシベーション膜とは別に、スペーサー圧を緩和する樹脂膜などを設けてもよい。

【0237】また、カバー材4600としては、ガラス板、アルミニウム板、ステンレス板、FRP（Fiberglass-Reinforced Plastic）板、PVF（ポリビニルフルオライド）フィルム、マイラーフィルム、ポリエステルフィルムまたはアクリルフィルムを用いることができる。なお、充填材4604としてPVBやEVAを用いる場合、数十μmのアルミニウムホイルをPVFフィルムやマイラーフィルムで挟んだ構造のシートを用いることが好ましい。

【0238】但し、発光素子からの発光方向（光の放射方向）によっては、カバー材4600が透光性を有する必要がある。

【0239】次に、充填材4604を用いてカバー材4600を接着した後、充填材4604の側面（露呈面）を覆うようにフレーム材4601を取り付ける。フレー

ム材 4601 はシーリング材（接着剤として機能する）4602 によって接着される。このとき、シーリング材 4602 としては、光硬化性樹脂を用いるのが好ましいが、発光層の耐熱性が許せば熱硬化性樹脂を用いても良い。なお、シーリング材 4602 はできるだけ水分や酸素を透過しない材料であることが望ましい。また、シーリング材 4602 の内部に乾燥剤を添加してあっても良い。

【0240】また、配線 4016 はシーリング材 4602 と基板 4010 との隙間を通して FPC 4017 に電気的に接続される。なお、ここでは配線 4016 について説明したが、他の配線 4014、4015 も同様にしてシーリング材 4602 の下を通して FPC 4017 に電気的に接続される。

【0241】なお本実施例では、充填材 4604 を設けてからカバー材 4600 を接着し、充填材 4604 の側面（露呈面）を覆うようにフレーム材 4601 を取り付けているが、カバー材 4600 及びフレーム材 4601 を取り付けてから、充填材 4604 を設けても良い。この場合、基板 4010、カバー材 4600 及びフレーム材 4601 で形成されている空隙に通じる充填材の注入口を設ける。そして前記空隙を真空状態（ 10^{-2} Torr 以下）にし、充填材の入っている水槽に注入口を浸してから、空隙の外の気圧を空隙の中の気圧よりも高くして、充填材を空隙の中に充填する。

【0242】〔実施例 11〕ここで発光装置における画素部のさらに詳細な断面構造を図 33 に、上面構造を図 34 (A) に、回路図を図 34 (B) に示す。図 33、図 34 (A) 及び図 34 (B) では共通の符号を用いるので互いに参照すれば良い。

【0243】図 33 において、基板 4501 上に設けられたスイッチング用 TFT 4502 は公知の方法で形成された n チャネル型 TFT を用いる。本実施例ではダブルゲート構造としているが、構造及び作製プロセスに大きな違いはないので説明は省略する。但し、ダブルゲート構造とすることで実質的に二つの TFT が直列された構造となり、オフ電流値を低減することができるという利点がある。なお、本実施例ではダブルゲート構造としているが、シングルゲート構造でも構わないし、トリプルゲート構造やそれ以上のゲート本数を持つマルチゲート構造でも構わない。また、公知の方法で形成された p

チャネル型 TFT を用いて形成しても構わない。

【0244】また、電流制御用 TFT 4503 は公知の方法で形成された n チャネル型 TFT を用いる。スイッチング用 TFT 4502 のソース配線（ソース信号線）は 34 である。そして、スイッチング用 TFT 4502 のドレイン配線である 35 は配線 36 によって電流制御用 TFT のゲート電極 37 に電気的に接続されている。また、38 で示される配線は、スイッチング用 TFT 4502 のゲート電極 39a、39b を電気的に接続するゲ

ート配線（ゲート信号線）である。

【0245】電流制御用 TFT 4503 は発光素子を流れる電流量を制御する素子であるため、多くの電流が流れ、熱による劣化やホットキャリアによる劣化の危険性が高い素子でもある。そのため、電流制御用 TFT 4503 のドレイン側に、ゲート絶縁膜を介してゲート電極に重なるように LDD 領域を設ける構造は極めて有効である。

【0246】また、本実施例では電流制御用 TFT 4503 をシングルゲート構造で図示しているが、複数の TFT を直列につなげたマルチゲート構造としても良い。さらに、複数の TFT を並列につなげて実質的にチャネル形成領域を複数に分割し、熱の放射を高い効率で行えるようにした構造としても良い。このような構造は熱による劣化対策として有効である。

【0247】また、図 34 (A) に示すように、電流制御用 TFT 4503 のゲート電極 37 となる配線 36 は 4504 で示される領域で絶縁膜を介して、電流制御用 TFT 4503 のドレイン配線 40 と電気的に接続された電源供給線 4506 と重なる。このとき、4504 で示される領域ではコンデンサが形成され、電流制御用 TFT 4503 のゲート電極 37 にかかる電圧を保持するための保持容量として機能する。保持容量 4504 は、電源供給線 4506 と電気的に接続された半導体膜 4507、ゲート絶縁膜と同一層の絶縁膜（図示せず）及び配線 36 との間で形成される。また、配線 36、第 1 層間絶縁膜と同一の層（図示せず）及び電源供給線 4506 で形成される容量も保持容量として用いることが可能である。なお、電流制御用 TFT のドレインは電源供給線（電源線）4506 に接続され、常に一定の電圧が加えられている。

【0248】スイッチング用 TFT 4502 及び電流制御用 TFT 4503 の上には第 1 パッシベーション膜 41 が設けられ、その上に樹脂絶縁膜でなる平坦化膜 42 が形成される。平坦化膜 42 を用いて TFT による段差を平坦化することは非常に重要である。後に形成される発光層は非常に薄いため、段差が存在することによって発光不良を起こす場合がある。従って、発光層をできるだけ平坦面に形成しうるように画素電極を形成する前に平坦化しておくことが望ましい。

【0249】また、43 は反射性の高い導電膜でなる画素電極（発光素子の陰極）であり、電流制御用 TFT 4503 のドレインに電気的に接続される。画素電極 43 としてはアルミニウム合金膜、銅合金膜または銀合金膜など低抵抗な導電膜またはそれらの積層膜を用いることが好ましい。勿論、他の導電膜との積層構造としても良い。

【0250】また、絶縁膜（好ましくは樹脂）で形成されたバンク 44a、44b により形成された溝（画素に相当する）の中に発光層 45 が形成される。なお図 34

(A) では、保持容量 4504 の位置を明確にするために一部バンクを省略しており、バンク 44a、44b しか図示していないが、電源供給線 4506 とソース配線（ソース信号線）34 を一部覆うように電源供給線 4506 とソース配線（ソース信号線）34 の間に設けられている。また、ここでは二画素しか図示していないが、R（赤）、G（緑）、B（青）の各色に対応した発光層を作り分けても良い。発光層とする有機発光材料としては π 共役ポリマー系材料を用いる。代表的なポリマー系材料としては、ポリパラフェニレンビニレン（PPV）系、ポリビニルカルバゾール（PVK）系、ポリフルオレン系などが挙げられる。

【0251】なお、PPV 系有機発光材料としては様々な型のものがあるが、例えば「H. Shenk, H. Becker, O. Gelsen, E. Kluge, W. Kreuder, and H. Spreitzer, "Polymers for Light Emitting Diodes", Euro Display, Proceedings, 1999, p. 33-37」や特開平 10-92576 号公報に記載されたような材料を用いれば良い。

【0252】具体的な発光層としては、赤色に発光する発光層にはシアノポリフェニレンビニレン、緑色に発光する発光層にはポリフェニレンビニレン、青色に発光する発光層にはポリフェニレンビニレン若しくはポリアルキルフェニレンを用いれば良い。膜厚は 30~150 nm（好ましくは 40~100 nm）とすれば良い。

【0253】但し、以上の例は発光層として用いることのできる有機発光材料の一例であって、これに限定する必要はまったくない。発光層、電荷輸送層または電荷注入層を自由に組み合わせて発光層（発光及びそのためのキャリアの移動を行わせるための層）を形成すれば良い。

【0254】例えば、本実施例ではポリマー系材料を発光層として用いる例を示したが、低分子系有機発光材料を用いても良い。また、電荷輸送層や電荷注入層として炭化珪素等の無機材料を用いることも可能である。これらの有機発光材料や無機材料は公知の材料を用いることができる。

【0255】本実施例では発光層 45 の上に PEDOT（ポリチオフェン）または PAni（ポリアニリン）でなる正孔注入層 46 を設けた積層構造の発光層としている。そして、正孔注入層 46 の上には透明導電膜でなる陽極 47 が設けられる。本実施例の場合、発光層 45 で生成された光は上面側に向かって（TFT の上方に向かって）放射されるため、陽極は透光性でなければならない。透明導電膜としては酸化インジウムと酸化スズとの化合物や酸化インジウムと酸化亜鉛との化合物を用いることができるが、耐熱性の低い発光層や正孔注入層を形成した後で形成するため、可能な限り低温で成膜できるものが好ましい。

【0256】陽極 47 まで形成された時点で発光素子 4505 が完成する。なお、ここでいう発光素子 4505

は、画素電極（陰極）43、発光層 45、正孔注入層 46 及び陽極 47 で形成されたコンデンサを指す。図 34 (A) に示すように画素電極 43 は画素の面積にはほぼ一致するため、画素全体が発光素子として機能する。従って、発光の利用効率が非常に高く、明るい画像表示が可能となる。

【0257】ところで、本実施例では、陽極 47 の上にさらに第 2 パッシベーション膜 48 を設けている。第 2 パッシベーション膜 48 としては窒化珪素膜または窒化酸化珪素膜が好ましい。この目的は、外部と発光素子とを遮断することであり、有機発光材料の酸化による劣化を防ぐ意味と、有機発光材料からの脱ガスを抑える意味との両方を併せ持つ。これにより発光装置の信頼性が高められる。

【0258】以上のように本発明の発光装置は図 33 のような構造の画素からなる画素部を有し、オフ電流値の十分に低いスイッチング用 TFT と、ホットキャリア注入に強い電流制御用 TFT とを有する。従って、高い信頼性を有し、且つ、良好な画像表示が可能な発光装置が得られる。

【0259】〔実施例 12〕本実施例では、実施例 11 に示した画素部において、発光素子 4505 の構造を反転させた構造について説明する。説明には図 35 を用いる。なお、図 33 の構造と異なる点は発光素子の部分と電流制御用 TFT だけであるので、その他の説明は省略することとする。

【0260】図 35 において、電流制御用 TFT 4503 は公知の方法で形成された p チャネル型 TFT を用いる。

【0261】本実施例では、画素電極（陽極）50 として透明導電膜を用いる。具体的には酸化インジウムと酸化亜鉛との化合物でなる導電膜を用いる。勿論、酸化インジウムと酸化スズとの化合物でなる導電膜を用いても良い。

【0262】そして、絶縁膜でなるバンク 51a、51b が形成された後、溶液塗布によりポリビニルカルバゾールでなる発光層 52 が形成される。その上にはカリウムアセチルアセトネート（acacK と表記される）でなる電子注入層 53、アルミニウム合金でなる陰極 54 が形成される。この場合、陰極 54 がパッシベーション膜としても機能する。こうして発光素子 4701 が形成される。

【0263】本実施例の場合、発光層 52 で発生した光は、矢印で示されるように TFT が形成された基板の方に向かって放射される。

【0264】〔実施例 13〕本実施例では、図 34 (B) に示した回路図とは異なる構造の画素とした場合の例について図 36 (A) ~ (C) に示す。なお、本実施例において、4801 はスイッチング用 TFT 4802 のソース配線（ソース信号線）、4803 はスイッ

ング用TFT4802のゲート配線（ゲート信号線）、4804は電流制御用TFT、4805は保持容量、4806、4808は電源供給線、4807は発光素子とする。

【0265】図36（A）は、二つの画素間で電源供給線4806を共通とした場合の例である。即ち、二つの画素が電源供給線4806を中心に線対称となるように形成されている点に特徴がある。この場合、電源供給線の本数を減らすことができるため、画素部をさらに高精細化することができる。

【0266】また、図36（B）は、電源供給線4808をゲート配線（ゲート信号線）4803と平行に設けた場合の例である。なお、図36（B）では電源供給線4808とゲート配線（ゲート信号線）4803とが重ならないように設けた構造となっているが、両者が異なる層に形成される配線であれば、絶縁膜を介して重なるように設けることもできる。この場合、電源供給線4808とゲート配線（ゲート信号線）4803とで専有面積を共有させることができるため、画素部をさらに高精細化することができる。

【0267】また、図36（C）は、図36（B）の構造と同様に電源供給線4808をゲート配線（ゲート信号線）4803と平行に設け、さらに、二つの画素を電源供給線4808に対し線対称となるように形成する点に特徴がある。また、電源供給線4808をゲート配線（ゲート信号線）4803のいずれか一方と重なるように設けることも有効である。この場合、電源供給線の本数を減らすことができるため、画素部をさらに高精細化することができる。

【0268】[実施例14] 実施例11に示した図34（A）、34（B）では電流制御用TFT4503のゲートにかかる電圧を保持するために保持容量4504を設ける構造としているが、保持容量4504を省略することも可能である。実施例11の場合、電流制御用TFT4503のドレイン側に、ゲート絶縁膜を介してゲート電極に重なるように設けられたLDD領域を有している。この重なり合った領域には一般的にゲート容量と呼ばれる寄生容量が形成されるが、本実施例ではこの寄生容量を保持容量4504の代わりとして積極的に用いる点に特徴がある。

【0269】この寄生容量のキャパシタンスは、上記ゲート電極とLDD領域とが重なり合った面積によって変化するため、その重なり合った領域に含まれるLDD領域の長さによって決まる。

【0270】また、実施例13に示した図36（A）、（B）、（C）の構造においても同様に、保持容量4805を省略することは可能である。

【0271】[実施例15] 本実施例では、本発明の駆動方法を用いたアクティブマトリクス型液晶表示装置或いは発光装置を組み込んだ電子機器について説明する。こ

れらの電子機器には、携帯情報端末（電子手帳、モバイルコンピュータ、携帯電話等）、ビデオカメラ、スチルカメラ、パーソナルコンピュータ、テレビ等が挙げられる。それらの一例を図37～図39に示す。ただし、アクティブマトリクス型液晶表示装置については、図37、図38、図39が適用され、発光装置については、図37、図38が適用される。

【0272】図37（A）は携帯電話であり、本体9001、音声出力部9002、音声入力部9003、表示部9004、操作スイッチ9005、アンテナ9006から構成されている。本発明は表示部9004に適用することができる。

【0273】図37（B）はビデオカメラであり、本体9101、表示部9102、音声入力部9103、操作スイッチ9104、バッテリー9105、受像部9106から成っている。本発明は表示部9102に適用することができる。

【0274】図37（C）はパーソナルコンピュータの一種であるモバイルコンピュータ或いは携帯型情報端末であり、本体9201、カメラ部9202、受像部9203、操作スイッチ9204、表示部9205で構成されている。本発明は表示部9205に適用することができる。

【0275】図37（D）はヘッドマウントディスプレイ（ゴーグル型ディスプレイ）であり、本体9301、表示部9302、アーム部9303で構成される。本発明は表示部9302に適用することができる。

【0276】図37（E）はテレビであり、本体9401、スピーカー9402、表示部9403、受信装置9404、増幅装置9405等で構成される。本発明は表示部9403に適用することができる。

【0277】図37（F）は携帯書籍であり、本体9501、表示部9502、記憶媒体9504、操作スイッチ9505、アンテナ9506から構成されており、ミニディスク（MD）やDVD（Digital Versatile Disc）に記憶されたデータや、アンテナで受信したデータを表示するものである。本発明は表示部9502に適用することができる。

【0278】図38（A）はパーソナルコンピュータであり、本体9601、画像入力部9602、表示部9603、キーボード9604で構成される。本発明は表示部9603に適用することができる。

【0279】図38（B）はプログラムを記録した記録媒体（以下、記録媒体と呼ぶ）を用いるプレーヤーであり、本体9701、表示部9702、スピーカ部9703、記録媒体9704、操作スイッチ9705で構成される。なお、この装置は記録媒体としてDVD、CD等を用い、音楽鑑賞や映画鑑賞やゲームやインターネットを行なうことができる。本発明は表示部9702に適用することができる。

【0280】図38(C)はデジタルカメラであり、本体9801、表示部9802、接眼部9803、操作スイッチ9804、受像部(図示しない)で構成される。本発明は表示部9802に適用することができる。

【0281】図38(D)は片眼のヘッドマウントディスプレイであり、表示部9901、ヘッドマウント部9902で構成される。本発明は表示部9901に適用することができる。

【0282】図39(A)はフロント型プロジェクターであり、投射装置3601、スクリーン3602で構成される。

【0283】図39(B)はリア型プロジェクターであり、本体3701、投射装置3702、ミラー3703、スクリーン3704で構成される。

【0284】なお、図39(C)は、図39(A)及び図39(B)中における投射装置3601、3702の構造の一例を示した図である。投射装置3601、3702は、光源光学系3801、ミラー3802、3804～3806、ダイクロイックミラー3803、プリズム3807、液晶表示部3808、位相差板3809、投射光学系3810で構成される。投射光学系3810は、投射レンズを含む光学系で構成される。本実施例は三板式の例を示したが、これに限定されず、例えば単板式であってもよい。また、図39(C)中において矢印で示した光路に実施者が適宜、光学レンズや、偏光機能を有するフィルムや、位相差を調節するためのフィルム、IRフィルム等の光学系を設けてもよい。本発明は液晶表示部3808に適用することができる。

【0285】また、図39(D)は、図39(C)中における光源光学系3801の構造の一例を示した図である。本実施例では、光源光学系3801は、リフレクター3811、光源3812、レンズアレイ3813、3814、偏光変換素子3815、集光レンズ3816で構成される。なお、図39(D)に示した光源光学系は一例であって特に限定されない。例えば、光源光学系に実施者が適宜、光学レンズや、偏光機能を有するフィルムや、位相差を調節するフィルム、IRフィルム等の光学系を設けてもよい。

【0286】以上の様に、本発明の適用範囲はきわめて広く、画像表示装置を用いるあらゆる分野の電子機器に適用することが可能である。

【0287】

【発明の効果】本発明の駆動方法によると、1つのD/A変換回路で複数のソース信号線を駆動する方法において、ソースライン反転駆動やドット反転駆動を可能にすることができる。また、実施形態3、4、6のように階調電源線の切り替え制御信号或いは階調電源線の電源電圧の入力方法を工夫することで前記制御信号或いは階調電源線の電源電圧の極性を反転する周期を長くし回路への負担を低減することができる。

【0288】特に、実施形態3、4、6で見られるように、一般的に高画質が期待されるドット反転駆動における前記制御信号或いは階調電源線の電源電圧の極性を反転する周期が、ソースライン反転駆動におけるそれらと同等かそれ以上に長くできる利点は大きい。最も効果的には、ドット反転駆動における前記制御信号或いは階調電源線の電源電圧の極性を反転する周期を、ゲートライン反転駆動方法と同じ周期まで長くすることができる。別の言い方をすれば、通常のゲートライン反転駆動方法と同周期でドット反転駆動を可能にすることができる。

【図面の簡単な説明】

【図1】 本発明の実施形態1と実施形態3による駆動回路の概略図である。

【図2】 図1の実施形態1による動作タイミングの一例である。

【図3】 本発明の実施形態2と実施形態4による駆動回路の概略図である。

【図4】 図3の実施形態2による動作タイミングの一例である。

【図5】 図1の実施形態3による動作タイミングの一例である。

【図6】 図3の実施形態4による動作タイミングの一例である。

【図7】 本発明の実施形態5と実施形態6による駆動回路の概略図である。

【図8】 図7の実施形態5による動作タイミングの一例である。

【図9】 図7の実施形態6による動作タイミングの一例である。

【図10】 本発明の実施形態7による駆動回路の概略図である。

【図11】 図10の実施形態7による動作タイミングの一例である。

【図12】 ソースライン反転駆動とドット反転駆動時の各画素の極性をあらわす図である。

【図13】 実施例1によるソース信号線駆動回路の概略図である。

【図14】 図13における、フリップフロップ回路F：(A)、基本ラッチ回路LAT：(B)、階調電源線とD/A変換回路との接続切り替えをする接続切り替えスイッチSW：(C)を示す図である。

【図15】 図13における、P/S変換回路A：(A)、ソース線選択回路A：(B)を示す図である。

【図16】 D/A変換回路図である。

【図17】 実施例1による動作タイミングの一例である。

【図18】 実施例2によるソース信号線駆動回路の概略図である。

【図19】 実施例2による動作タイミングの一例である。

【図 20】 実施例 5 によるソース信号線駆動回路の概略図である。

【図 21】 実施例 5 による動作タイミングの一例である。

【図 22】 実施例 7 によるソース信号線駆動回路の概略図である。

【図 23】 図 18 における、P/S 変換回路 B : (A)、ソース線選択回路 B : (B)、図 22 における、P/S 変換回路 C : (C)、ソース線選択回路 C : (D) を示す図である。

【図 24】 実施例 7 による動作タイミングの一例である。

【図 25】 実施例 1～7 によるアクティブマトリクス型液晶表示装置の作製工程例を示す図である。

【図 26】 実施例 1～7 によるアクティブマトリクス型液晶表示装置の作製工程例を示す図である。

【図 27】 実施例 1～7 によるアクティブマトリクス型液晶表示装置の作製工程例を示す図である。

【図 28】 実施例 1～7 によるアクティブマトリクス型液晶表示装置の作製工程例を示す図である。

【図 29】 実施例 1～7 によるアクティブマトリクス型液晶表示装置の作製工程例を示す図である。

【図 30】 実施例 1～7 によるアクティブマトリクス型液晶表示装置の作製工程例を示す図である。

【図 31】 実施例 1～7 による発光装置の作製例を示す図である。

【図 32】 実施例 1～7 による発光装置の作製例を示す図である。

【図 33】 実施例 1～7 による発光装置の作製例を示す図である。

【図 34】 実施例 1～7 による発光装置の作製例を示す図である。

【図 35】 実施例 1～7 による発光装置の作製例を示す図である。

す図である。

【図 36】 実施例 1～7 による発光装置の作製例を示す図である。

【図 37】 画像表示装置の一例を示す図である。

【図 38】 画像表示装置の一例を示す図である。

【図 39】 投影型液晶表示装置の構成を示す図である。

【図 40】 アクティブマトリクス型液晶表示装置の概略図である。

10 【図 41】 従来のデジタル方式のソース信号線駆動回路の概略図である。

【図 42】 1つの D/A 変換回路で 4 本のソース信号線を駆動するソース信号線駆動回路の概略図である。

【図 43】 図 41 に従って階調電源線を D/A 変換回路へ接続した場合で、かつ、1つの D/A 変換回路で 4 本のソース信号線を駆動するソース信号線駆動回路の概略図である。

【符号の説明】

100 階調電源線接続切り替えスイッチ

20 101 ソース信号線駆動回路

102 ゲート信号線駆動回路

103 画素アレイ部

104 各ソース信号線

105 各ゲート信号線

106 各画素のスイッチング素子である TFT

201 シフトレジスタ部

202 シフトレジスタ基本回路

203 ラッチ 1 回路

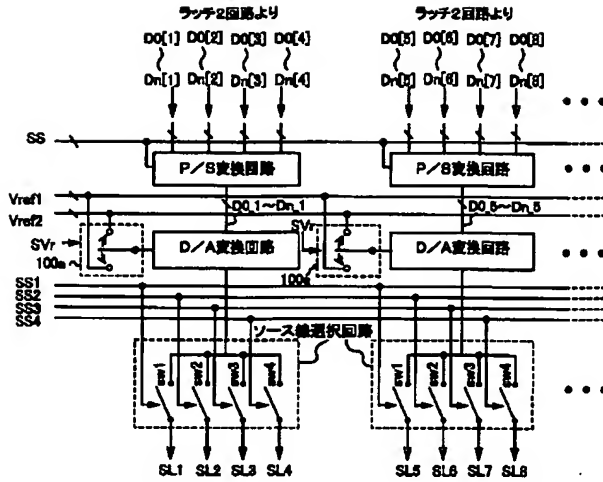
204 ラッチ 2 回路

30 205 D/A 変換回路

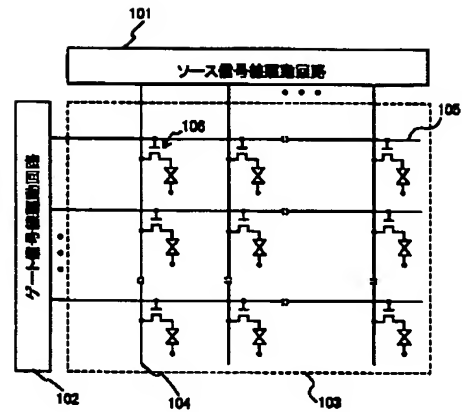
301 パラレル/シリアル変換回路

302 ソース線選択回路

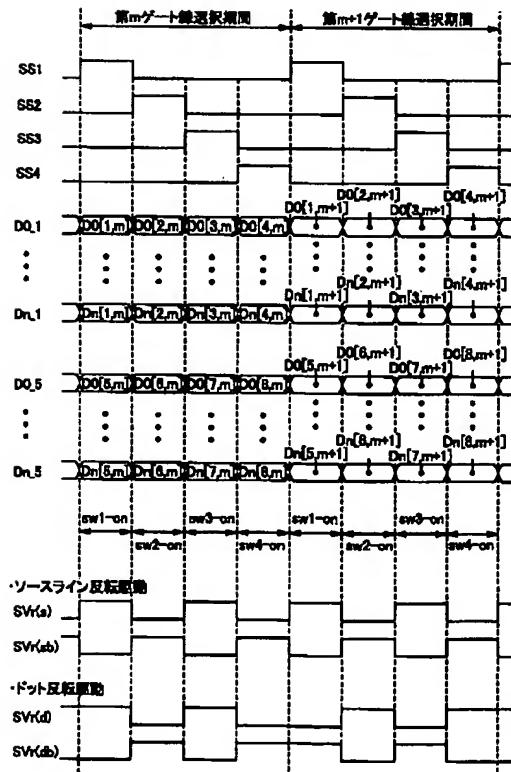
【図1】



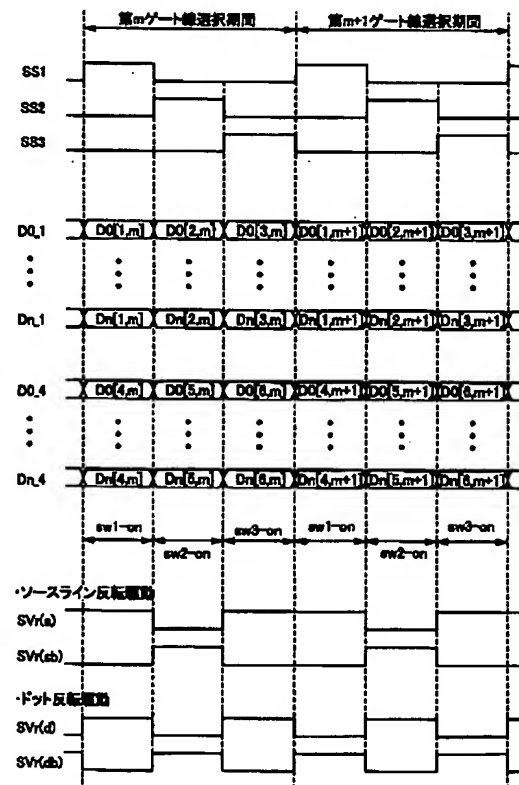
【図40】



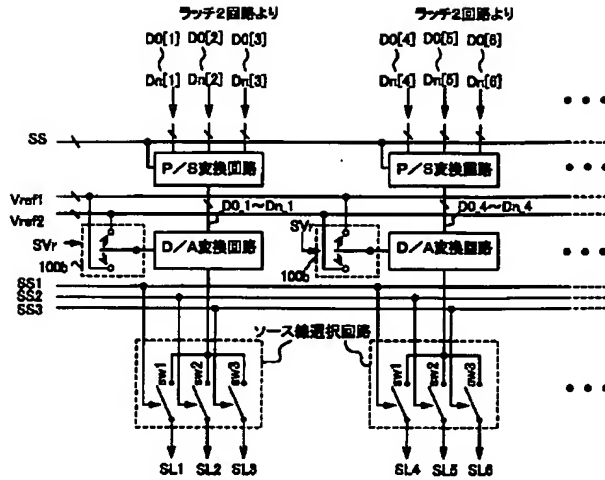
【図2】



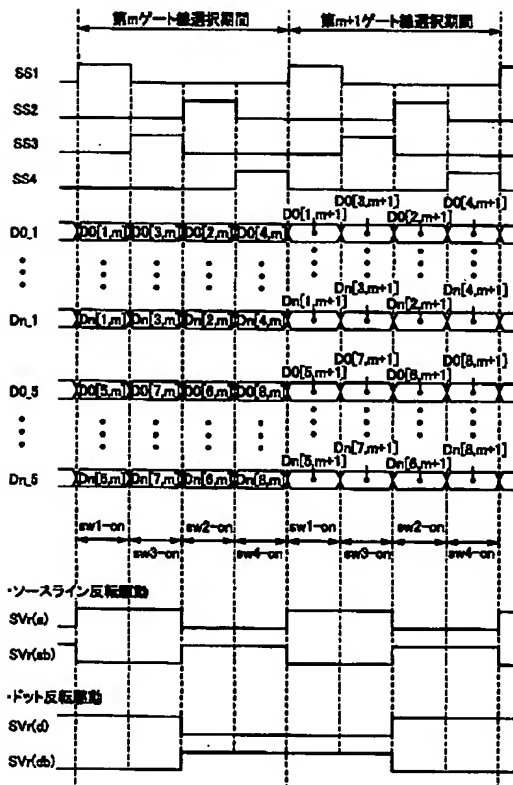
【図4】



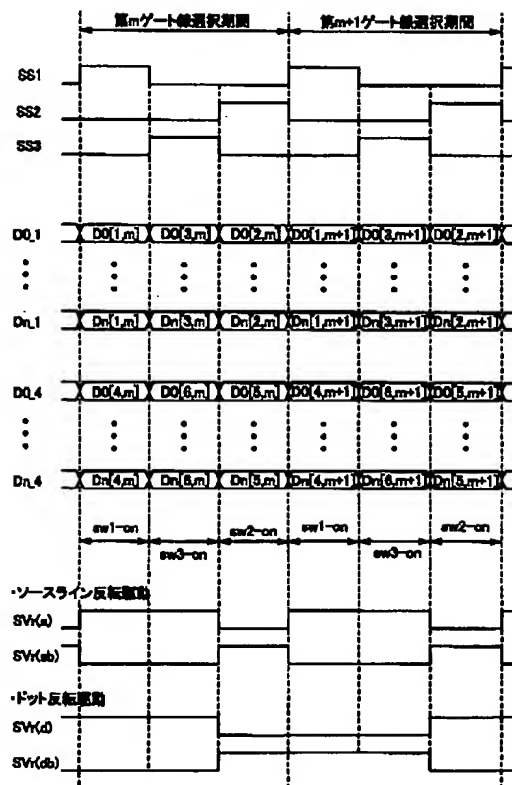
【図3】



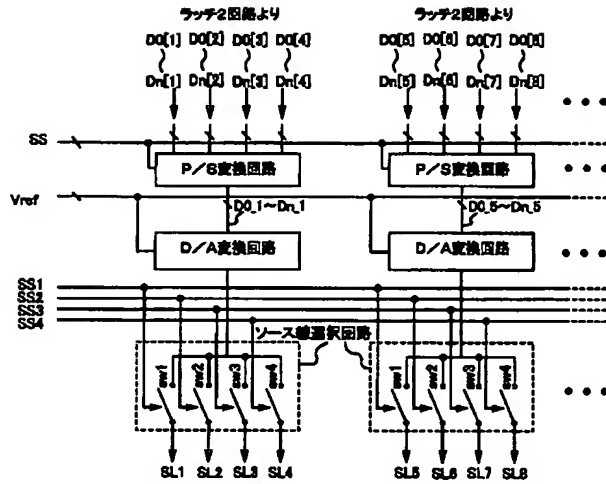
【図5】



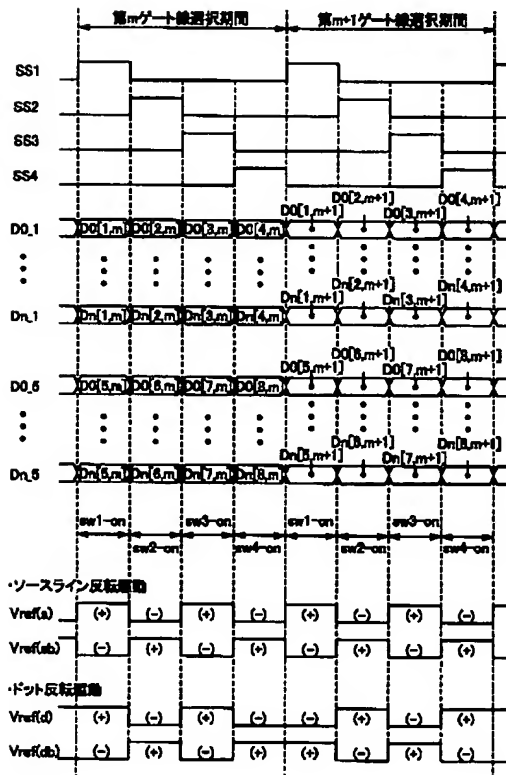
【図6】



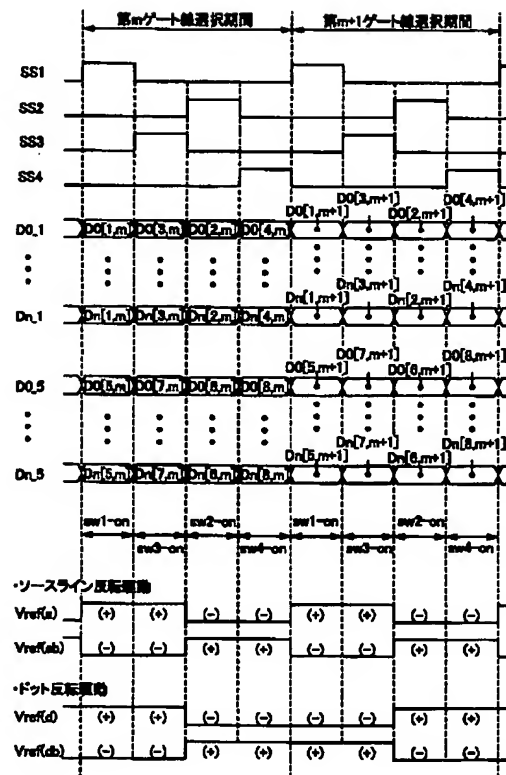
【図7】



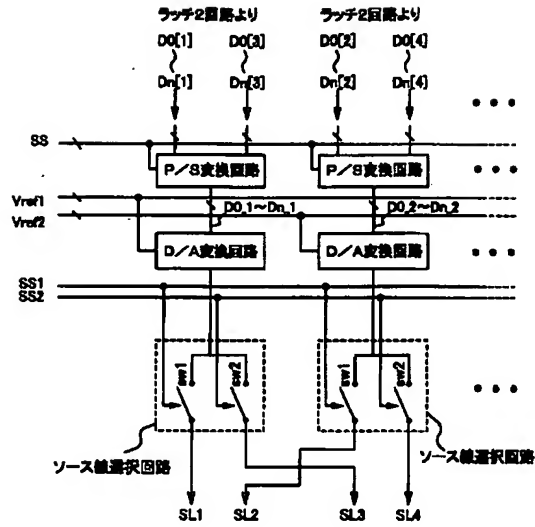
【図8】



【図9】

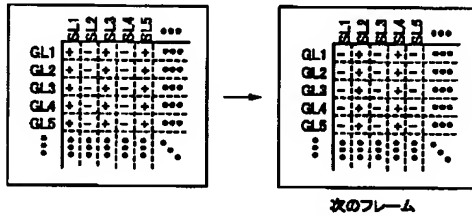


【図10】

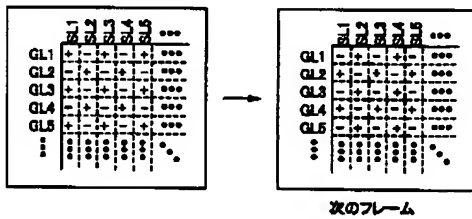


【図12】

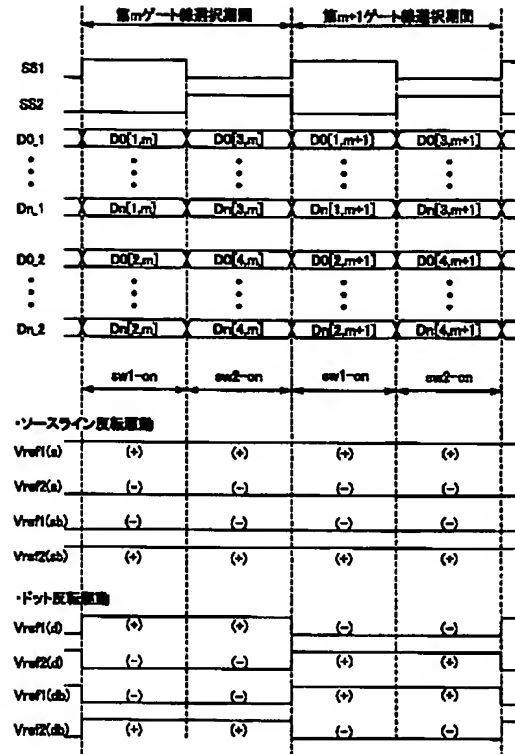
a) ソースライン反転運動



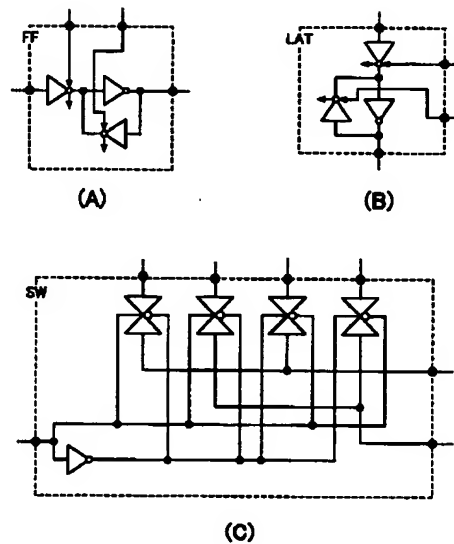
b) ドット反転運動



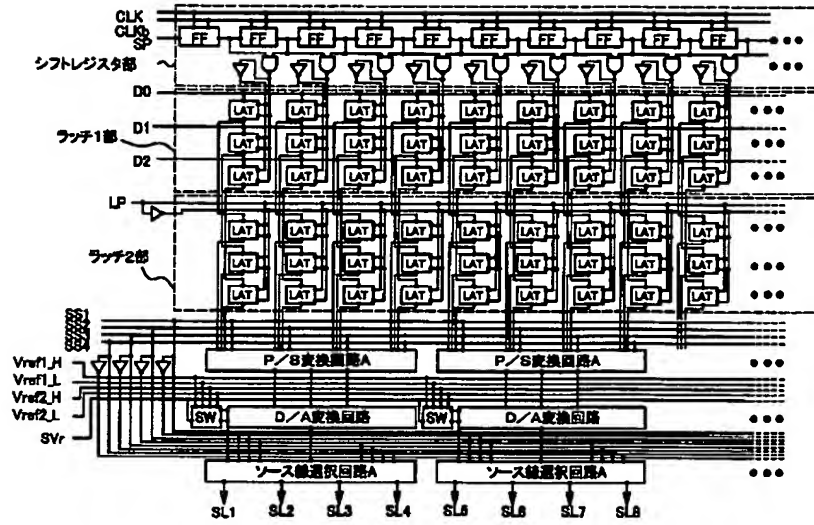
【図11】



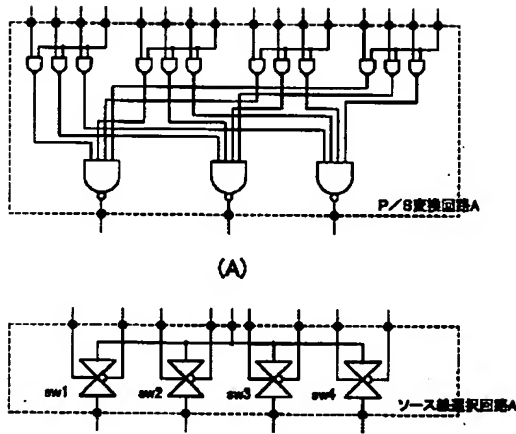
【図14】



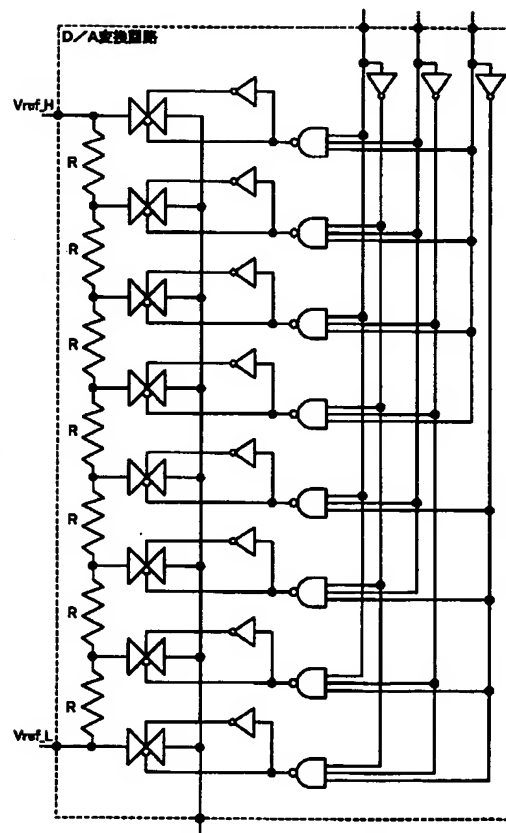
【図13】



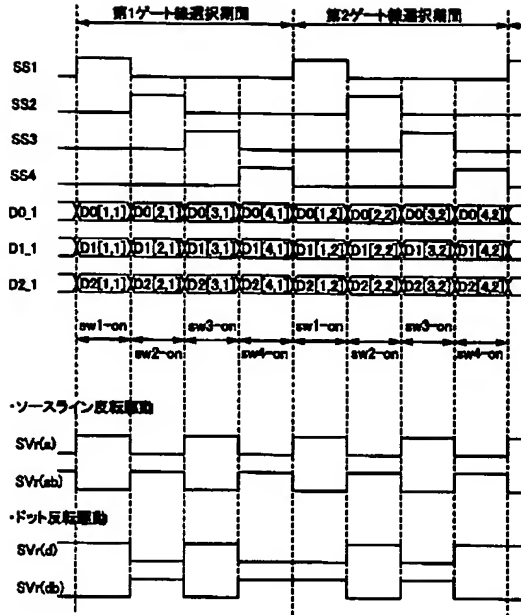
【図15】



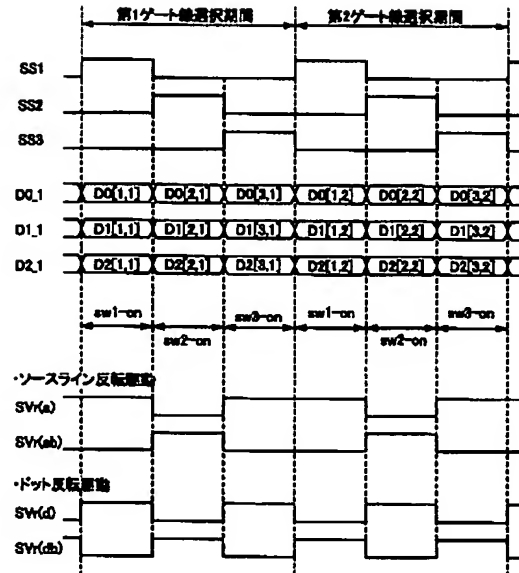
【図16】



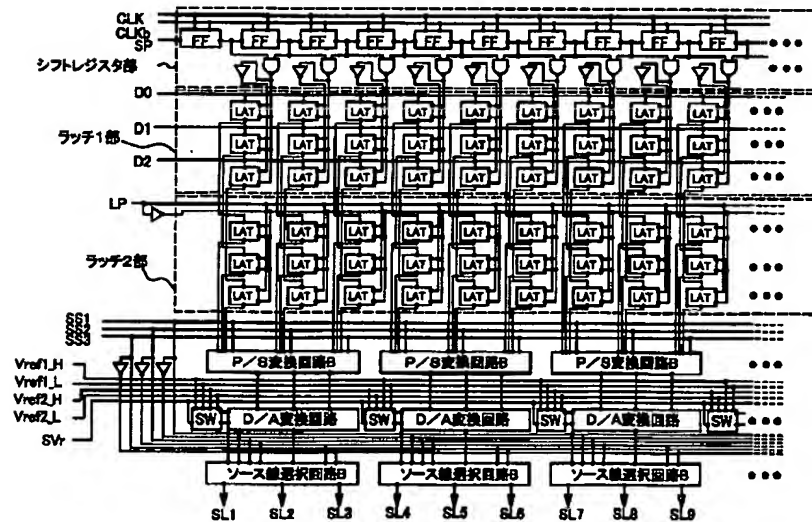
【図17】



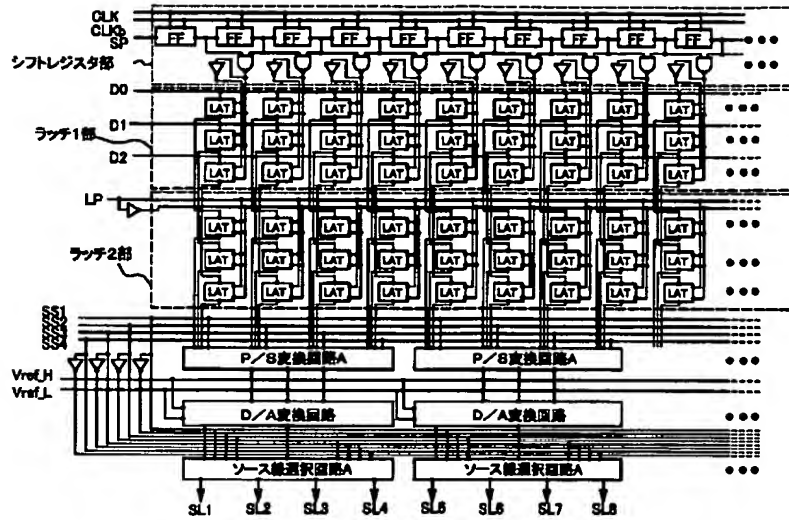
【図19】



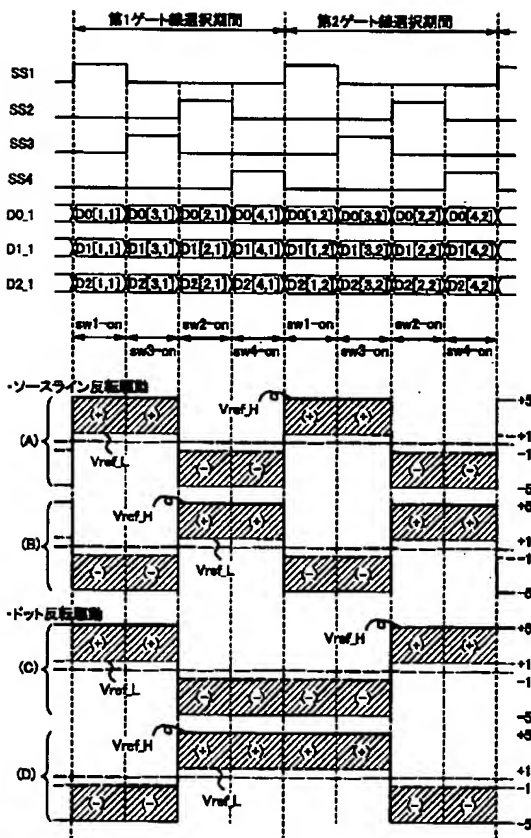
【図18】



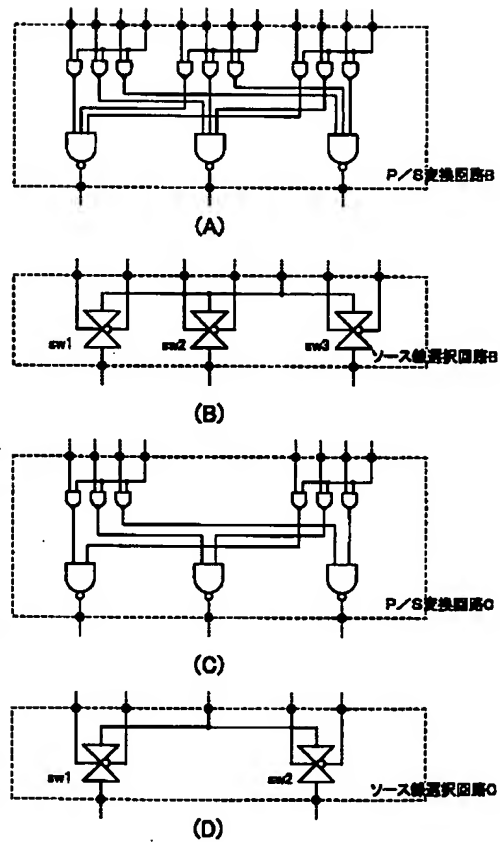
【図20】



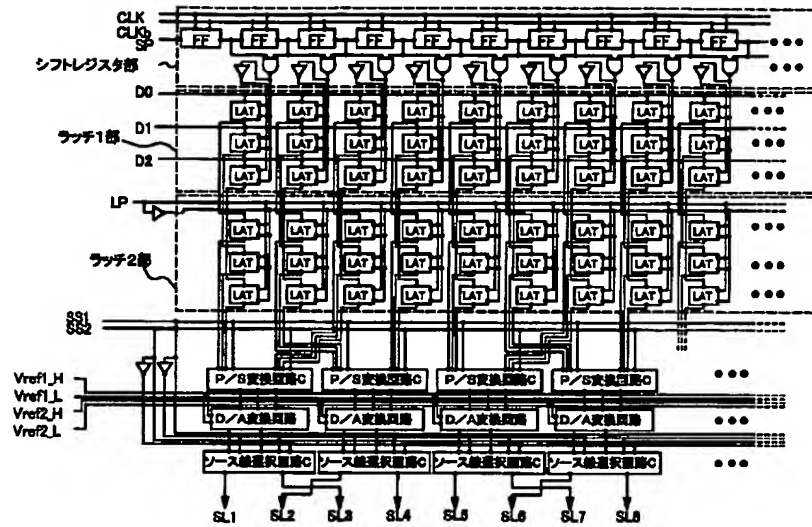
【図21】



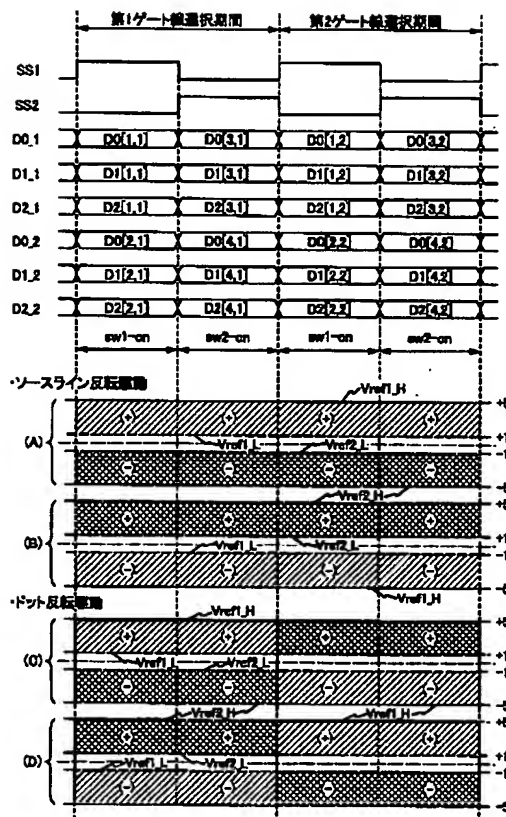
【図23】



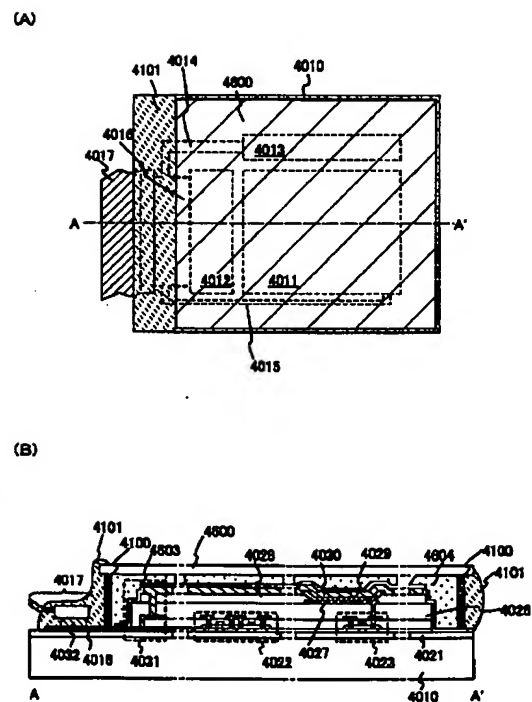
【図22】



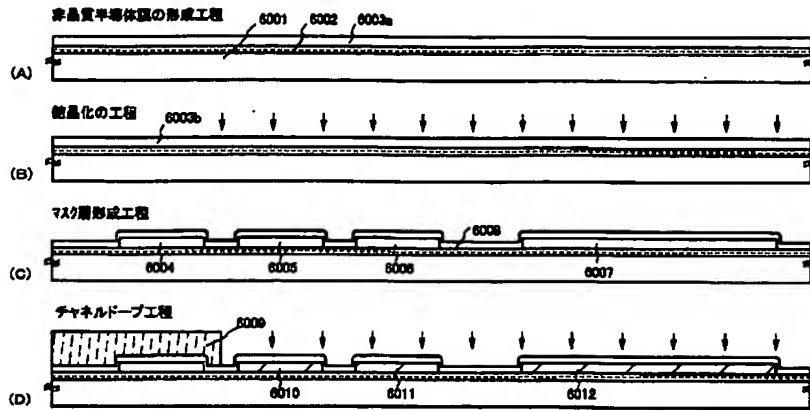
【図24】



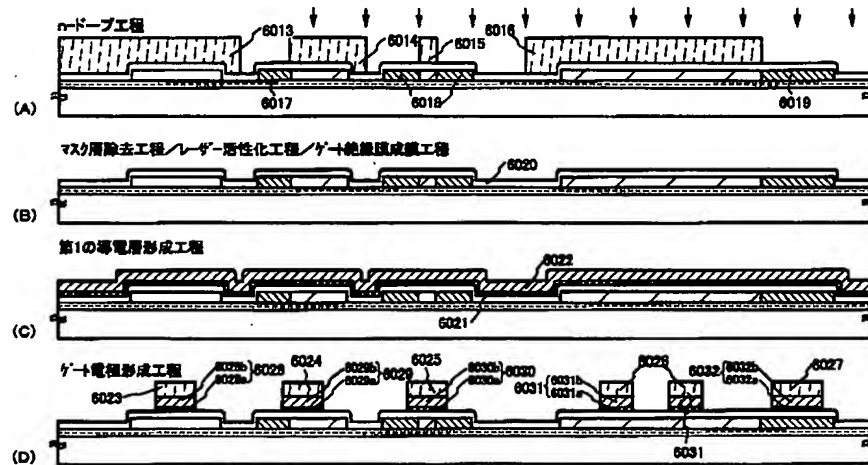
【図31】



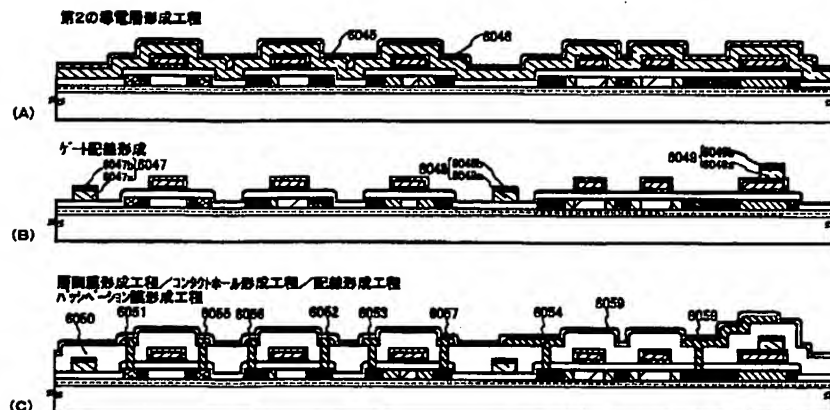
【図25】



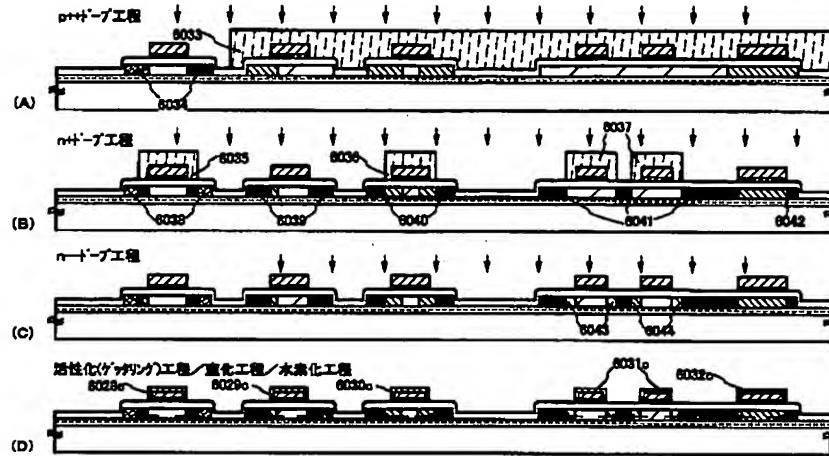
【図26】



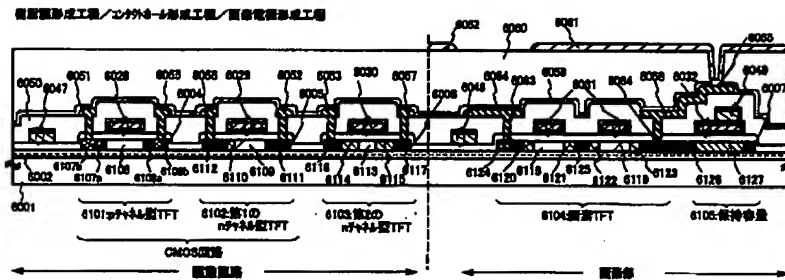
【図28】



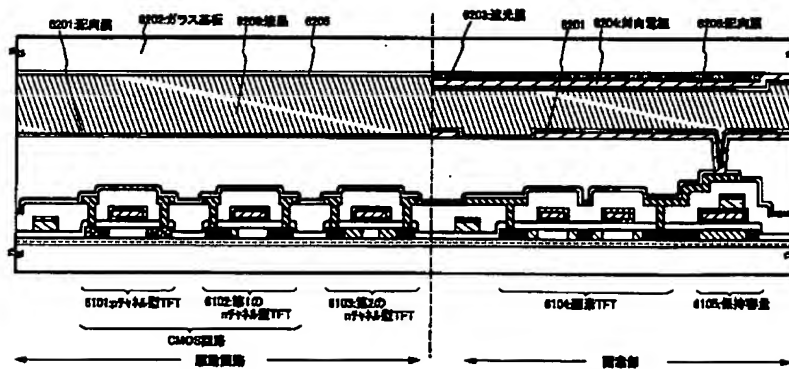
【圖 27】



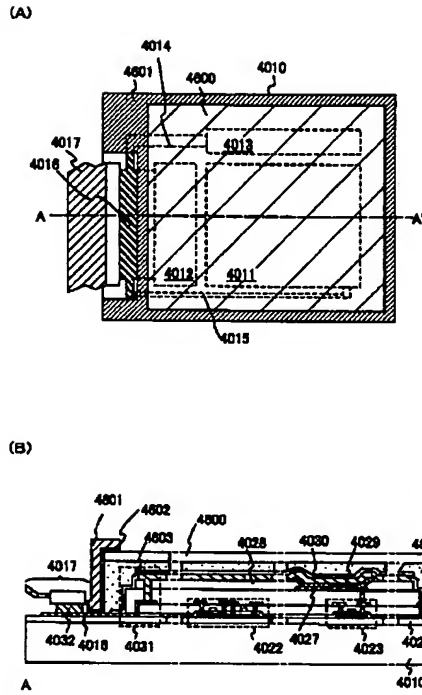
【图 29】



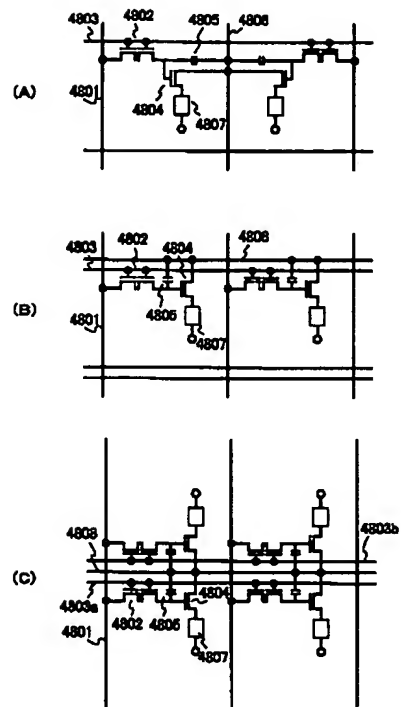
【図30】



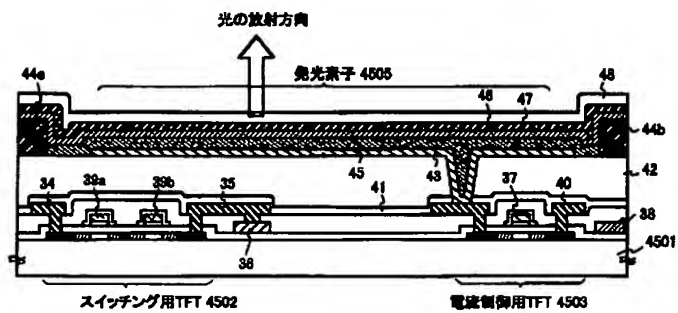
【図32】



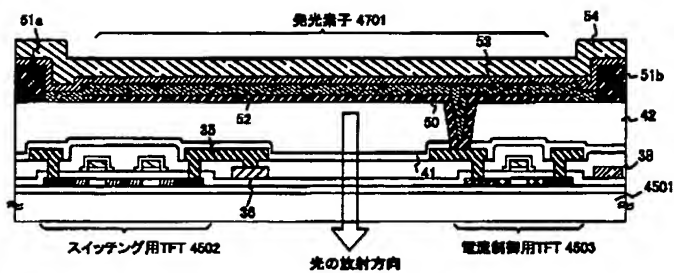
【図36】



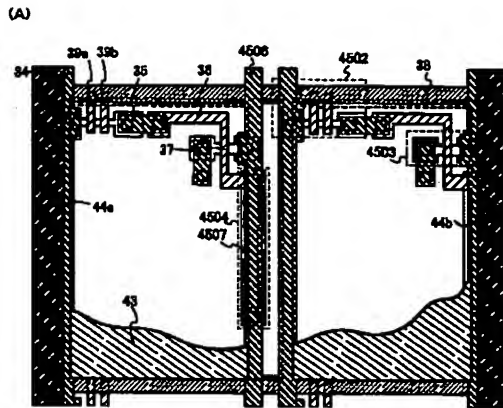
【図33】



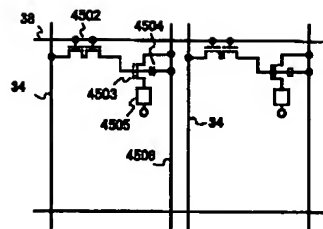
【図35】



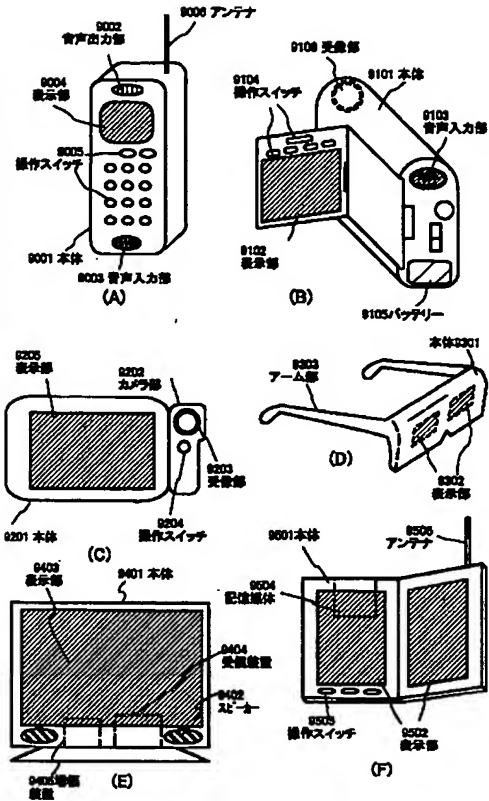
【図34】



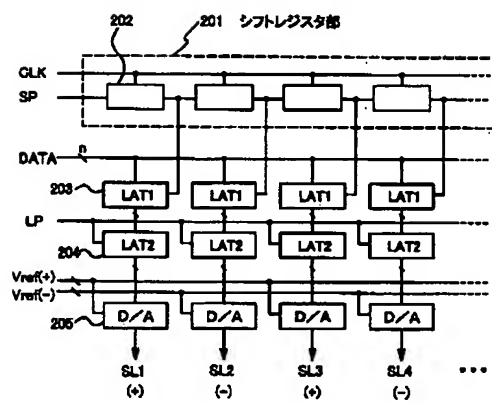
(B)



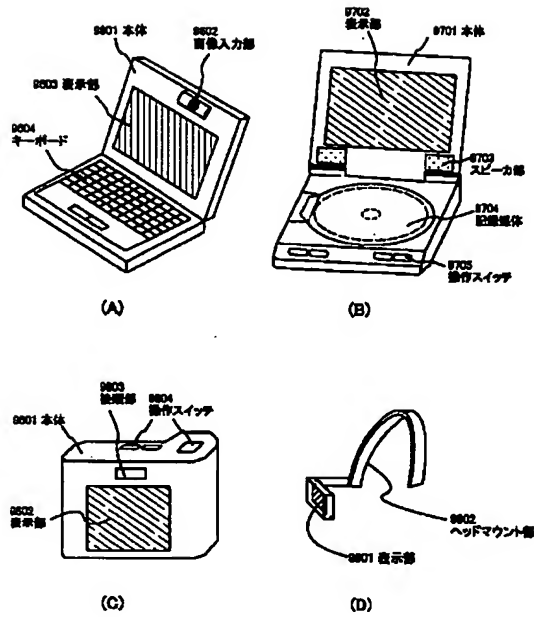
【図37】



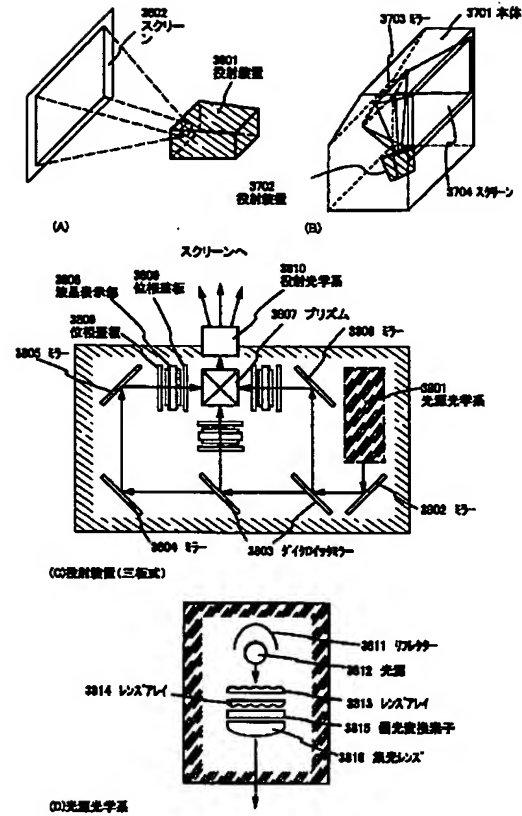
【図41】



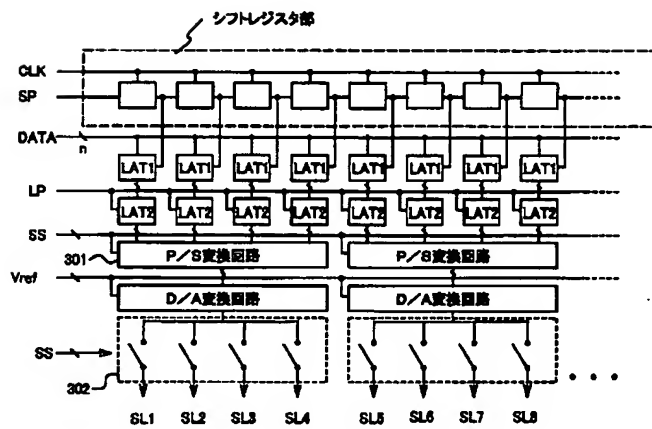
【図38】



【図39】



【図42】



【図43】

